

# MHz 帯 kW 級連続運転を実現するインバータ実装法

学生員 山口 正通 正員 渡辺 大貴 正員 日下 佳祐 上級会員 伊東 淳一  
(長岡技術科学大学)

## Implementation Method of Inverter Circuit for Mega-hertz and Kilo-watts Operation

Masamichi Yamaguchi, Student Member, Hiroki Watanabe, Member, Keisuke Kusaka, Member,  
Jun-ichi Itoh, Senior member (Nagaoka University of Technology)

This paper discusses an implementation method of a high-frequency and a high-power inverter for a WPT system. The implementation of circuit under mega-hertz operation is complex. Thus, a circuit designer should consider an influence of a parasitic components on devices and a Printed Circuit Board (PCB), an operation of the power devices, and a heat dissipation of devices to increase the output power especially over a few kilo-watts. An implementation flow of inverter circuit and an experimental result of continuous operation in 6.78 MHz, 2.1 kW output are shown.

キーワード：高周波インバータ，非接触給電システム，ゼロボルトスイッチング，熱設計

Keywords : High-frequency inverter, Wireless power transfer system, Zero voltage switching, Thermal design

### 1. はじめに

電気自動車(Electric Vehicle : EV)や電動小型モビリティの給電方式として、給電ケーブルを使用する有線式が広く用いられている。しかし、大容量化に伴い給電ケーブルの発熱が問題となる<sup>(1)</sup>ため、給電ケーブルを必要としない非接触給電(WPT: Wireless Power Transfer)システム<sup>(2-3)</sup>の開発が期待されている。これまで WPT システムでは、特に EV 向けとして 85 kHz 帯での標準化<sup>(4)</sup>が進められている。しかし 85-kHz 帯のシステムでは、伝送コイルに使用する磁性体コアにより、大容量化時の重量増大が課題となる。

そこで近年、ISM 帯(Industrial scientific and medical band)の中でも MHz 帯である、13.56 MHz, 6.78 MHz を適用した WPT システムが盛んに検討されている<sup>(5-9)</sup>。MHz 帯 WPT システムにおける半導体電力変換回路には高速なスイッチング動作が要求されるため、窒化ガリウム (GaN) を用いたパワー半導体デバイスが適用される場合<sup>(7-9)</sup>が多い。

GaN デバイスを適用し MHz 帯で動作を行う電力変換回路の設計や実機実装では、従来の kHz 帯で動作する電力変換回路に対して考慮すべき技術的要素が増える。また、それらの要素は互いに関連するため、複数の技術的要素を踏まえた上で設計と実装を行う必要がある。しかし、実際の実装においては、試作と実機試験を繰り返して試行錯誤的に行う場合が多く、MHz 帯における kW 級以上の電力変換回路の設計や研究開発を行う上で障壁となっている。また、試行錯誤的に得られた実装技術の知見やノウハウを俯瞰

し、MHz 帯における電力変換回路の実装法として体系的に検討している例は稀である。文献[7]では、GaN デバイスを用いた 13.56 MHz 帯の  $\Phi 2$  級インバータにおいて、パラメータ設計法と 800 W 出力の実機検証が行われている。しかし、主回路の実装技術については触れられていない。

本論文では、MHz 帯における kW 級電力変換回路を実現する実装法に主眼を置き、考慮すべき要素と実際に適用可能な実装技術について検討する。アプリケーションとして WPT システムへの適用を想定し、最も一般的なインバータ構成の一つであるフルブリッジ構成のインバータを検討例とする。デバイス選定からゲート駆動回路、ゼロボルトスイッチング(Zero Voltage Switching : ZVS)動作と放熱設計に至る一連の実装において、検討すべき要素と優先順位の一例を示すことで MHz 帯を適用するインバータ設計指針の一つとする。特に、表面実装の半導体デバイス放熱において熱抵抗低減に有効な実装手法を、理論計算及び測定により検討する。最後に、検討した実装法を適用したインバータ試作器により、その有効性を検証する。

### 2. 寄生成分を考慮したデバイスと電流経路

〈2・1〉 **パワー半導体デバイス寄生成分と選定** はじめに要求される回路仕様に基づき適用するパワー半導体デバイスを選定する。表 1 に本稿における回路仕様を示す。DC リンクの定格電圧を 300V とするため、その 2 倍にあたる耐圧 600 V 級のパワー半導体デバイスを選定する。電流容量と動作周波数より、GaN-MOSFET を選定する。

パワー半導体デバイスは高速スイッチング動作時、デバイスの端子が持つ寄生成分の影響が顕著となる。そのため、寄生成分低減の観点から表面実装 (Surface Mounted Device : SMD) パッケージの製品を選定する。表 2 に、ドレイン-ソース間の耐圧  $V_{DSS}$  が 600 V 程度、ドレイン電流  $I_D$  の最大連続が 20 A 程度の GaN デバイスの、特性の一部を示す。表 2 におけるディスクリートパッケージのデバイスは、ノーマリーオフ特性実現のために内部で低圧 MOSFET がカスケード接続されているためリカバリ電荷量  $Q_{rr}$  がゼロでない。そのため、損失の観点からも SMD パッケージの製品を選定することが適切であるといえる。また、デバイスターンオン時の ZVS 動作達成には、出力容量  $C_{oss}$  が小さいデバイスが望ましい。加えて、ターンオフ時の ZVS には、ターンオフ時間  $t_f$  が短いデバイスが適する。そのため本稿では、一例として PGA26E07BA(Panasonic)を選定する。

〈2・2〉 PCB 寄生成分と電流経路 デバイス選定後、デバイスを実装する PCB の設計を行う。デバイスのサージ電圧抑制に着目すると、パワーループの面積が小さくなるようスナバ回路を配置し、ループインダクタンスのエネルギーを吸収する考え方は従来の電力変換回路設計と同じである。一方、損失低減の観点から、デバイスは 3.2 章で検討する ZVS 動作を達するよう運転する。そのため MHz 動作の電力変換器では、ハードスイッチング時にサージ電圧を引き起こすパワーループ以上に、ZVS 動作に関する電流経路に着目する必要がある。

図 1 に、フルブリッジ構成のインバータにおいて出力電流極性が正の時の電流経路を、図 2 に、インバータ方形波運転時の各スイッチ  $S_1$ - $S_4$  のスイッチングパターン、デバイスのドレイン-ソース間電圧、インバータ出力電流、またその位相差の概略をそれぞれ示す。インバータ出力端は WPT システムを模擬するため RLC 直列共振回路で表現している。WPT システムでは、コイル端では力率 1 動作となる

が、インバータの出力端ではターンオン時の ZVS 動作のため出力電流は出力電圧に対して遅れ位相となるよう制御しなくてはならない。

ここで、図 1(b)に示すデッドタイム期間中、デバイス出力容量  $C_{oss}$  を充放電する電流が各レグ間を流通する経路で流れる。両レグ間を結ぶ DC リンク配線長が長い場合、 $C_{oss}$  充放電時に流通する電流はレグ間のループにより形成される寄生インダクタンスの影響を受ける。そのため、レグ間のループが小さくなるよう PCB を設計する必要がある。

また、MHz 帯の電流が流れる経路では表皮効果により配線の抵抗値が増大する。ここで、表皮効果により電流が偏って流通する表皮深さ  $\delta$  は、(1)式として知られている。

$$\delta = \sqrt{\frac{\rho}{\mu\pi f}} \dots\dots\dots(1).$$

$\rho$  は材質の抵抗率、 $\mu$  は透磁率、 $f$  は周波数を表す。ここで、表皮深さ  $\delta$  を考慮した際、PCB 上の電流経路にあたる銅箔パターンに求められる最小のパターン幅  $w$  は、(2)式で表される。

$$w = \frac{1}{2\delta}(S_{\text{pattern}} + 4\delta^2) - t \dots\dots\dots(2).$$

ここで、 $S_{\text{pattern}}$  は所望の電流を流通可能な断面積、 $t$  は銅箔のパターン厚である。特に電流容量確保を目的として厚銅基板を適用する場合、表皮深さを考慮した上で所望の電流を流通可能なパターン幅を満たす設計が求められる。

### 3. デバイス駆動

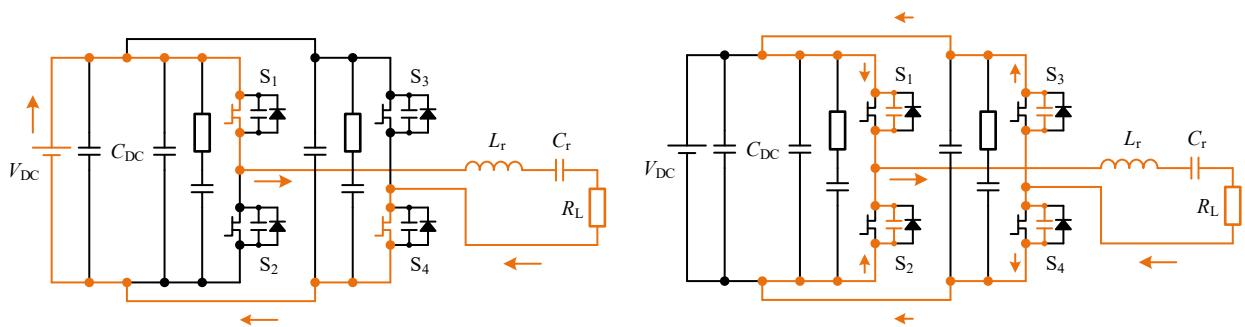
〈3・1〉 ゲート駆動回路 選定した FET を適切に動作させる上で、ゲート駆動回路の重要度は極めて高い。特に

Table 1. Design requirement.

|                     |          |          |
|---------------------|----------|----------|
| Rated power         | $P$      | 2.1 kW   |
| DC link voltage     | $V_{DC}$ | 300 V    |
| Switching frequency | $F_s$    | 6.78 MHz |

Table 2. Parameters of each devices.

| Product Name                | Rated voltage | Rated current | Junction temperature | On-resistance  | Rise time   | Fall time   | Output charge   | Reverse recovery charge | Thermal resistance | Package type |
|-----------------------------|---------------|---------------|----------------------|----------------|-------------|-------------|-----------------|-------------------------|--------------------|--------------|
|                             | $V_{DSS}$     | $I_D^*$       | $T_j$                | $R_{DS(on)}^*$ | $t_r^{***}$ | $t_f^{***}$ | $Q_{oss}^{***}$ | $Q_{rr}^{***}$          | $R_{th(j-c)}^{**}$ |              |
| PGA26E07BA (Panasonic)      | 600 V         | 26 A          | 150 °C               | 56 mΩ          | 5.6 ns      | 2.4 ns      | 45 nC           | 0 nC                    | 1.3 K/W            | SMD          |
| GAN080-650EBE (Nexperia)    | 650 V         | 29 A          | 150 °C               | 60 mΩ          | 4.0 ns      | 4.0 ns      | 60 nC           | -                       | 0.52 K/W           | SMD          |
| TPH3206PS (Transphorm)      | 600 V         | 17 A          | 175 °C               | 150 mΩ         | 4.5 ns      | 4 ns        | 29 nC           | 54 nC                   | 1.55 K/W           | TO-220       |
| TP65H035G4WSQA (Transphorm) | 650 V         | 47.2 A        | 175 °C               | 35 mΩ          | 10 ns       | 10 ns       | 150 nC          | 150 nC                  | 0.8 K/W            | TO-247       |



(a) Output current is positive ( $S_1$  &  $S_4$ : ON). (b) Dead-time with positive current.  
Fig. 1. Current flow of full-bridge inverter.

高速なゲート駆動では、入力容量  $C_{iss}$  の充放電と、対向アームのハードスイッチング時に帰還容量  $C_{gd}$  を通してゲート容量  $C_{gs}$  が充電される誤点弧対策が必要となる。

図 3 に、高速に入力容量  $C_{iss}$  を充放電可能なゲート駆動回路の一例を示す。ゲート抵抗  $R_{ig}$  に並列接続されるスピードアップコンデンサ  $C_s$  は、ターンオン時ゲート抵抗  $R_{ig}$  をバイパスし  $C_{iss}$  を急速に充電する。また、ターンオフ時  $R_{goff}$  を介して  $C_{iss}$  を急速に放電する。オフ時には、 $C_{gs}$  に対して  $C_s$  が並列に接続されるため、誤点弧防止に寄与する。スピードアップコンデンサ適用時の各素子定数は、ゲート端子の定格電流とゲートドライブ IC の電圧より決定する<sup>(10)</sup>。

〈3・2〉 ZVS 動作に必要なデッドタイム インバータ方形波運転時に各スイッチを ZVS 動作するためには、デバイスの負荷電流に応じたデッドタイム時間の設定が重要となる。ここで、図 2 におけるインバータ出力電流の瞬時値を、(3)式で表す。

$$i(t) = I_{peak} \sin(\omega t + \phi) \dots\dots\dots (3).$$

出力電圧位相の基準はデッドタイム期間の中心とし、 $\phi$  は出力電圧に対する電流の位相差である。出力電流の最大値  $I_{peak}$  は、インバータ出力電圧の基本波最大値  $V_{inv\_max}$  と負荷のインピーダンスの大きさ  $Z_L$  を用いて、(4)式で表される。

$$I_{peak} = \frac{V_{inv\_max}}{Z_L} \dots\dots\dots (4).$$

インバータ出力電圧の基本波振幅は、デッドタイム期間を除いた方形波出力とすると、基本波に対するフーリエ展開より(5)式で表される。

$$V_{inv\_max} = \frac{8}{T} \int_{t_d/2}^{T/4} V_{DC} \sin(\omega t) dt \dots\dots\dots (5).$$

$$= \frac{4V_{DC}}{\pi} \cos(\pi f t_d)$$

デッドタイム期間中に各デバイスの出力容量  $C_{oss}$  を充放電する電流は、図 1(b)より出力電流の半分となる。そのため、出力容量  $C_{oss}$  に充電または放電される電荷量  $Q$  は、出力電流の積分値の半分として(6)式で表される。

$$Q = \frac{1}{2} \int_{-t_d/2}^{t_d/2} i(t) dt \dots\dots\dots (6).$$

$$= \frac{I_{peak}}{\omega} \sin(\phi) \sin(\pi f t_d)$$

ここで、 $C_{oss}$  に蓄積される電荷量  $Q$  は、(4)-(6)式より(7)式となる。

$$Q = \frac{V_{DC}}{\pi^2 f Z_L} \sin(\phi) \sin(\omega t_d) \dots\dots\dots (7).$$

ここで、(5)式をデッドタイム  $t_d$  について解き、デッドタイム期間中に蓄積される電荷量  $Q$  をデバイスの  $Q_{oss}$  と設定すると、デバイスの  $Q_{oss}$  の充放電に必要なデッドタイム  $t_d$  は

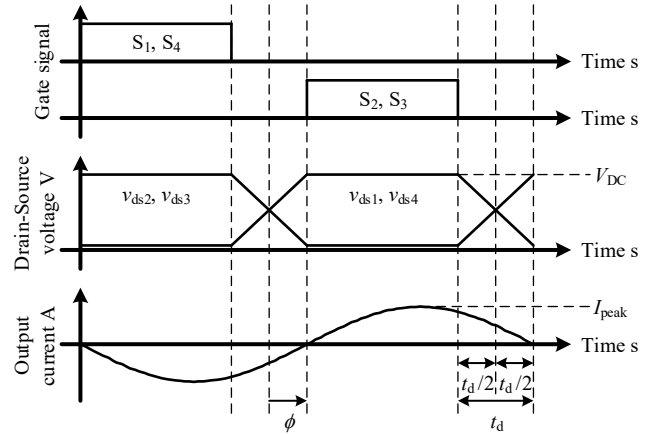


Fig. 2. Current flow and ZVS operation.

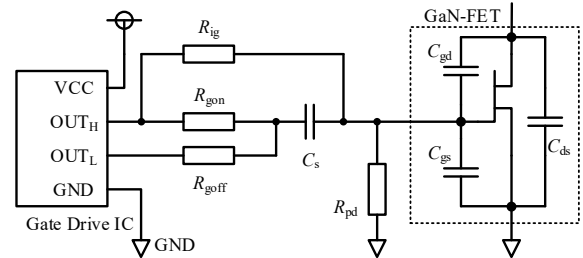


Fig. 3. Gate drive circuit with speed-up capacitor<sup>(10)</sup>.

(8)式で表される。

$$t_d = \frac{1}{\omega} \sin^{-1} \left( \frac{\pi^2 f Z_L Q_{oss}}{V_{DC} \sin(\phi)} \right) \dots\dots\dots (8).$$

導出した(8)式について、回路シミュレーションによりその妥当性を確認する。シミュレーションには PLEXIM 社の PLECS を使用し、FET の理想モデルと並列に出力容量  $C_{oss}$  を模擬したコンデンサを接続する。シミュレーションに適用する  $C_{oss}$  の値は、データシート上の  $Q_{oss}$  を回路の動作電圧で除した値を適用する。表 3 に、シミュレーションにおいて用いた各定数を示す。

図 4(a)と(b)に、負荷抵抗  $R_L$  が  $15 \Omega$  時のシミュレーション結果を、(c)と(d)に、負荷抵抗  $R_L$  が  $30 \Omega$  時のシミュレーション結果をそれぞれ示す。(8)式を用いて計算したデッドタイム以上の時間をデッドタイムとして設定した場合、ZVS が達成されることがわかる。以上から、ZVS 動作に必要なデッドタイム  $t_d$  を表す(8)式の妥当性を確認した。

#### 4. デバイス放熱対策

〈4・1〉 所要熱抵抗値 ZVS 動作する場合でもデバイスは導通損等により発熱するため、デバイスの放熱設計と実装が重要である。放熱設計では、使用するデバイスのジャンクション温度最大値に基づき放熱経路に求められる熱抵抗を計算する。特に表面実装部品では、パッケージが小さく放熱のために設けられるサーマルパッドも小さい。そのため、所望の熱抵抗値を実現するための適切な実装法を選択する必要がある。

図 5 に、デバイス放熱経路全体の熱抵抗等価回路を示す。ここで、 $T_j$  はジャンクション温度、 $T_a$  は雰囲気温度、

Table 3. Simulation parameters.

| Main circuit                                     |          |             |
|--|----------|-------------|
| DC link voltage                                  | $V_{DC}$ | 300 V       |
| Switching frequency                              | $F_s$    | 6.78 MHz    |
| Parasitic capacitance at drain-source of GaN-FET | $C_{ds}$ | 130 pF      |
| Load   |          |             |
| Resonant inductance                              | $L_r$    | 6.0 $\mu$ H |
| Resonant capacitance                             | $C_r$    | 100.0 pF    |

$R_{th(j-c)}$ はデバイスジャンクションからケースまでの熱抵抗,  $R_{th(j-a)}$ はジャンクションから雰囲気までのパッケージを介した熱抵抗,  $R_{th(PCB)}$ は PCB 部分における熱抵抗,  $R_{th(TIM)}$ は PCB とヒートシンク間に電気的絶縁のために挿入される絶縁材料 (Thin Isolation Material : TIM) の熱抵抗,  $R_{th(Heatsink)}$ はヒートシンクの熱抵抗,  $P_{Loss}$  はデバイス 1 つあたりで発生する損失値である。このとき, ジャンクション温度  $T_j$  は (9)式で表される。

$$T_j = P_{Loss} \frac{(R_{th(j-c)} + R_{th(PCB)} + R_{th(TIM)} + R_{th(Heatsink)})R_{th(j-a)}}{(R_{th(j-c)} + R_{th(PCB)} + R_{th(TIM)} + R_{th(Heatsink)}) + R_{th(j-a)}} + T_a \quad (9)$$

(9)式において,  $R_{th(j-a)}$ は  $R_{th(j-c)}$ に比べて 10 倍以上である場合が多いため分母の括弧内は無視できるので, ジャンクション温度は(10)式で求められる。

$$T_j = P_{Loss} \times (R_{th(j-c)} + R_{th(PCB)} + R_{th(TIM)} + R_{th(Heatsink)}) + T_a \quad \dots\dots (10)$$

ここで, (10)式の  $T_j$  を, ジャンクション温度の絶対最大定格  $T_{jmax}$  と温度に余裕を持つための安全係数  $k_t$  の積とすると, デバイスのケースから雰囲気までの経路で満たすべき合計の熱抵抗は(11)式となる。

$$(R_{th(PCB)} + R_{th(TIM)} + R_{th(Heatsink)}) = \frac{k_t T_{jmax} - T_a}{P_{Loss}} - R_{th(j-c)} \quad \dots\dots (11)$$

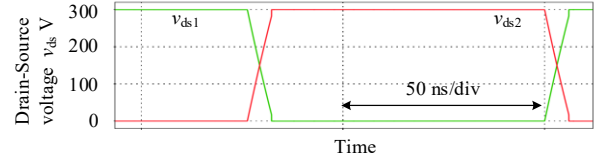
【設計例】 雰囲気温度  $T_a$ を 40 °C, 安全係数  $k_t$ を 0.8, 発生する損失  $P_{Loss}$ を 15 W とする。今回選定した GaN デバイス PGA26E07BA の  $T_{jmax}$ と  $R_{th(j-c)}$ を表 1 より用いると, デバイスのケースから雰囲気までの経路で満たすべき合計の熱抵抗は, (11)式より約 4.6 K/W 以下である。

〈4・2〉 サーマルビアによる放熱 PCB を介した放熱として, デバイスのサーマルパッド部分の PCB にサーマルビアを設けることが簡易な実装手法である。図 6 に, サーマルビアの概略図を示す。文献[11]では, 熱抵抗低減に有効なサーマルビア個数とビア径について検討している。文献[11]の検討に基づくサーマルビア群全体の熱抵抗計算式を(12)式に示す。

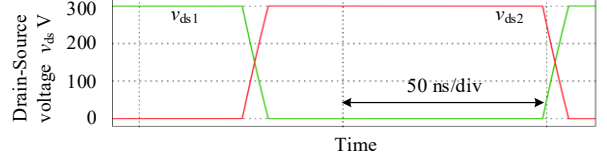
$$\Theta_{via} = \frac{4t}{\{4\pi k_{Cu} t_{PTH}(\phi - t_{PTH}) + \pi k_{filler}(\phi - 2t_{PTH})^2\} N_{via}} \quad \dots\dots (12)$$

ここで,  $k_{Cu}$  は銅の熱伝導率,  $t_{PTH}$  はビア側面の銅箔厚,  $\phi$  はビア直径,  $k_{filler}$  はビア内部に充填される物質の熱伝導率,  $t$  は基板厚さ,  $N_{via}$  はビア個数である。

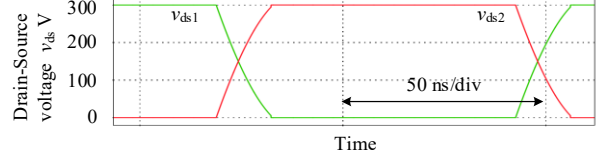
表 4 に, 選定した GaN デバイスを実装する PCB において, サーマルビアの熱抵抗計算に必要な各定数を示す。ビアは空洞であるとして(12)式よりサーマルビア群全体の熱抵抗を求めると, 約 8.7 K/W となる。よって, (11)式より計



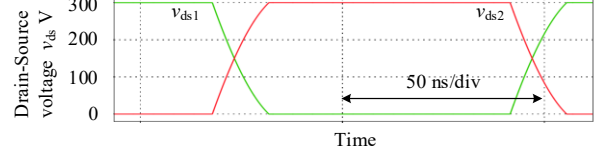
(a)  $R_L$ : 15  $\Omega$ , dead-time: 6.0 ns (Designed dead-time: 6.5 ns).



(b)  $R_L$ : 15  $\Omega$ , dead-time: 7.0 ns (Designed dead-time: 6.5 ns).



(c)  $R_L$ : 30  $\Omega$ , dead-time: 13.5 ns (Designed dead-time: 14.0 ns).



(d)  $R_L$ : 30  $\Omega$ , dead-time: 14.5 ns (Designed dead-time: 14.0 ns).

Fig. 4. Simulation result of ZVS operation.

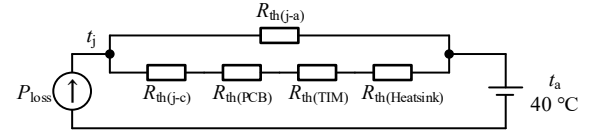


Fig. 5. Equivalent thermal circuit.

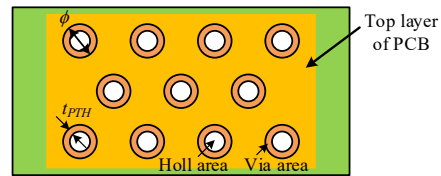


Fig. 6. Structure of thermal via on PCB.

Table 4. Parameters of PCB and thermal via.

|                                |              |               |
|--------------------------------|--------------|---------------|
| Thermal conductivity of copper | $k_{Cu}$     | 393 W/(m K)   |
| Thermal conductivity of solder | $k_{Solder}$ | 57.3 W/(m K)  |
| Thermal conductivity of air    | $k_{Air}$    | 0.026 W/(m K) |
| Diameter of thermal via        | $\phi$       | 0.3 mm        |
| Thickness of the via           | $t_{PTH}$    | 15 $\mu$ m    |
| Thickness of the PCB           | $t$          | 1.6 mm        |
| Number of via                  | $N_{via}$    | 35            |

算した放熱経路で満たすべき熱抵抗 4.6 K/W 以上となり, 条件を満足できない。

〈4・3〉 熱抵抗低減に有効な放熱構造 PCB における熱抵抗低減手法として, (1)基板厚みの低減 (2)高熱伝導材料の埋込 が考えられる。このうち, 基板厚みの低減は, 基板強度が低下し取り扱い時のハンダクラック等の原因となるため現実的には困難である。そのため, サーマルパッド裏面にあたる箇所には穴を設け, 熱伝導率の高い部材を埋め込むことが効果的で実装可能な選択肢となり得る。放熱構造の差異による熱抵抗低減効果の比較のため, 3 パターンでの比較を行う。図 7 に, 比較を行う各放熱構造の概要

を示す。

- (a) サーマルビアを適用：図 7(a)
  - (b) サーマルビアに代わり銅ブロック埋め込み：図 7(b)
  - (c) (b)にヒートスプレッドを適用しTIM面積拡大：図 7(c)
- ここで、放熱構造の各部の持つそれぞれの熱抵抗は、各部材の熱抵抗と寸法から、次の(13)式より求められる。

$$R_{th} = \frac{t}{k(w \times l)} \dots \dots \dots (13).$$

(13)式において  $t$  は部材の厚さ、 $w$  は幅、 $l$  は長さ、 $k$  は体積熱伝導率である。このとき放熱構造(a)-(c)の PCB 部と TIM における合計の熱抵抗は、それぞれ(14)-(16)で表される。

$$R_{th\_a(PCB\&TIM)} = \frac{t_{Solder}}{k_{Solder}(w_{Solder} \times l_{Solder})} + \Theta_{via} + \frac{t_{TIM}}{k_{TIM}(w_{TIM(a,b)} \times l_{TIM(a,b)})} \dots \dots (14).$$

$$R_{th\_b(PCB\&TIM)} = \frac{t_{Solder}}{k_{Solder}(w_{Solder} \times l_{Solder})} + \frac{t_{Copper}}{k_{Copper}(w_{Copper} \times l_{Copper})} \dots \dots \dots (15).$$

$$+ \frac{t_{TIM}}{k_{TIM}(w_{TIM(a,b)} \times l_{TIM(a,b)})}$$

$$R_{th\_c(PCB\&TIM)} = \frac{t_{Solder}}{k_{Solder}(w_{Solder} \times l_{Solder})} \times 2 + \frac{t_{Copper}}{k_{Copper}(w_{Copper} \times l_{Copper})} \dots \dots \dots (16).$$

$$+ \frac{t_{spreader}}{k_{Cu}(w_{spreader} \times l_{spreader})} + \frac{t_{TIM}}{k_{TIM}(w_{TIM(c)} \times l_{TIM(c)})}$$

**〈4・4〉 放熱構造の差異による熱抵抗低減効果** 各構造の差異による熱抵抗低減効果を、(14)-(16)式による計算及び実機での熱抵抗測定により検証する。表 5 に、適用する各部材のパラメータを示す。TIM は 6500H-10(3M)を使用し、構造(c)のヒートスプレッドとしては銅板を使用する。

測定において TIM と各部材との界面は、接触熱抵抗の影響を抑えるために TIM と同じ体積熱伝導率を持つシリコングリス (G777, 3.5 W/(m K), 信越シリコン工業) を少量塗布し実装する。測定は、インバータ試作器の PCB において表面実装の GaN デバイス S<sub>1</sub>-S<sub>4</sub> が実装される箇所に熱源を実装して行い、4 箇所の測定結果の平均値を熱抵抗の測定結果とする。熱源は、GaN デバイスと同程度の大きさの表面実装の抵抗を用いる。熱源の周囲は断熱材で覆うことで、外部への熱流の流出を抑制する。熱源より既知の熱流を測定対象に与えた上で熱源とヒートシンク上面との温度差を取得することで、熱抵抗値を測定する。

図 8 に、各放熱構造における熱抵抗の計算値と測定結果とを示す。(c)の構造が最も低い熱抵抗値が得られた点は、計算結果及び測定結果とで一致する。また、(b)および(c)は、計算結果に比べて測定結果がおよそ 1.7 倍になった。計算結果より測定結果が増大する要因としては、実際に使用した各部材の熱伝導率の差異や、計算時には無視した各部材の界面での接触熱抵抗が挙げられる。

サーマルビアを適用した(a)のみ、測定結果が計算値より

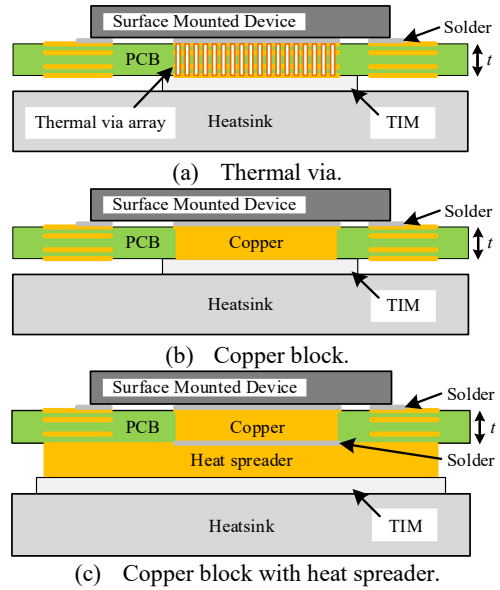


Fig. 7. Structure of thermal structure on PCB.  
Table 5. Parameters of thermal components.

|                             |                        |             |
|-----------------------------|------------------------|-------------|
| Thickness of solder         | $t_{Solder}$           | 0.1 mm      |
| Width of solder             | $w_{Solder}$           | 3.0 mm      |
| Length of solder            | $l_{Solder}$           | 10 mm       |
| Thickness of copper block   | $t_{Cu}$               | 1.5 mm      |
| Width of copper block       | $w_{Cu}$               | 3.0 mm      |
| Length of copper block      | $l_{Cu}$               | 10 mm       |
| Thermal conductivity of TIM | $k_{TIM}$              | 3.5 W/(m K) |
| Thickness of TIM            | $t_{TIM}$              | 1.0 mm      |
| Width of TIM                | (a & b) $w_{TIM(a,b)}$ | 5.0 mm      |
| Length of TIM               | (a & b) $l_{TIM(a,b)}$ | 10 mm       |
| Width of TIM                | (c) $w_{TIM(c)}$       | 25 mm       |
| Length of TIM               | (c) $l_{TIM(c)}$       | 25 mm       |
| Thickness of heat-spreader  | $t_{spreader}$         | 2.0 mm      |
| Width of heat-spreader      | $w_{spreader}$         | 25 mm       |
| Length of heat-spreader     | $l_{spreader}$         | 25 mm       |

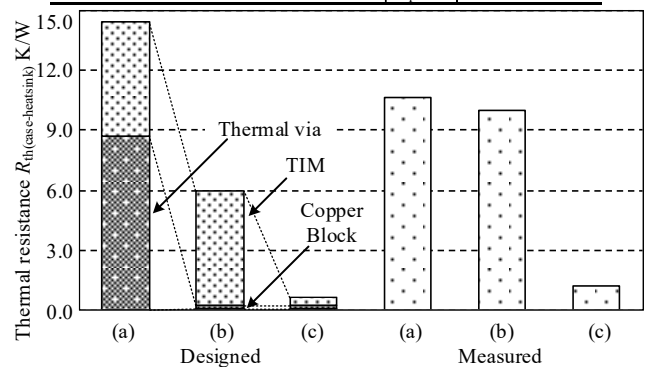


Fig. 8. Measurement result of thermal resistance.

も低い結果となった。サーマルビアの熱抵抗計算では、ビア径や側面銅箔厚の変化が熱抵抗の計算結果に大きく影響する。そのため、PCB 製造の精度が影響していることが考えられる。また、実装時にビア内に意図せずハンダが浸透し、熱抵抗が低減した可能性も考えられる。このことから、サーマルビアの適用にあたっては基板製造や実装により熱抵抗が大幅に左右されるといえる。



## 5. 実機検証

本稿で検討したデバイス選定から放熱構造までの実装法に基づいて、WPT システム向け高周波インバータの試作器の実装を行った。ここで、デバイスの放熱は図 7(c)の構造を適用した。表 6 に、実機検証における実験条件を示す。

図 9 に、6.78 MHz における 2.1 kW 出力連続運転時の波形を示す。 $v_{gs1}$  は図 1 に示すフルブリッジ構成の  $S_1$  のゲートソース間電圧、 $v_{ds1}$  は  $S_1$  のドレイン-ソース間電圧、 $v_{inv.out}$  はインバータ出力電圧、 $i_{out}$  はインバータ出力電流である。この時、直流側の入力電力は 2.7 kW、オシロスコープで観測された電流振幅と負荷抵抗値から換算した出力電力は、2.1 kW である。出力電力は観測波形からの概算値のため参考値であるものの、変換器と共振負荷での損失を含めた効率は 78% である。ここで、実機試験に使用した負荷とデバイスにおいて、ZVS に必要なデッドタイム  $t_d$  は(8)式より 6.2 ns であるが、実機においては ZVS を達成するため約 35-ns を設定している。これは、ドレイン-ソース間にヒートシンクを介した寄生容量が形成され出力容量  $C_{oss}$  が見かけ上増大していることが原因として挙げられる。

図 10 に、試作インバータを 2.1 kW 出力で連続運転した際の GaN デバイスの表面温度を示す。温度の取得には熱電対を使用し、パッケージ表面に熱電対をあて、パッケージサイズ大に切り出した TIM 材を上から密着させる形で実装した。温度は運転開始後およそ 20 分後より、約 87 °C で飽和している。雰囲気温度は 27 °C であり、温度上昇  $\Delta t$  は 60-K である。以上から、実装法に着目した検討手順を踏まえた試作器での実機検証より、6.78 MHz 帯における kW 級出力連続運転可能なインバータを実現した。

## 6. まとめ

本論文では、MHz 帯で運転する電力変換回路の実装技術について、パワー半導体デバイスや PCB の寄生成分、デバイスの駆動回路やデッドタイム、PCB を介した放熱に着目し検討を行った。特に、電流経路に基づいた配線設計、高速動作可能なゲート駆動回路、ZVS 動作達成可能なデッドタイムの設定、表面実装デバイスの放熱設計が重要である。放熱設計では放熱経路の差異による 3 パターンにおいて比較を行い、TIM の実装面積拡大による熱抵抗低減効果を示した。実装可能な放熱構造例における同条件下での数値的比較より、放熱構造選択と熱抵抗設計の一例を示した。設計例を適用したインバータ試作器での実機試験より 6.78 MHz での 2.1 kW 連続出力を確認し、本稿で検討した技術要素と検討順序が、MHz 帯 kW 級インバータの主回路設計における一指針となり得ることを明示した。

## 文 献

- (1) 吉田誠：「急速充電規格の紹介」，電気設備学会誌，Vol.41，No.5，pp.281-284(2021)
- (2) K. Kusaka and J. Itoh: “Development Trends of Inductive Power Transfer

Table 6. Experimental condition

| Main circuit         |          |               |
|----------------------|----------|---------------|
| DC link voltage      | $V_{DC}$ | 300 V         |
| Switching frequency  | $F_s$    | 6.78 MHz      |
| Duty                 | $d$      | 32%           |
| Load                 |          |               |
| Resonant inductance  | $L_r$    | 5.8 $\mu$ H   |
| Resonant capacitance | $C_r$    | 100.0 pF      |
| Load resistance      | $R_L$    | 16.7 $\Omega$ |

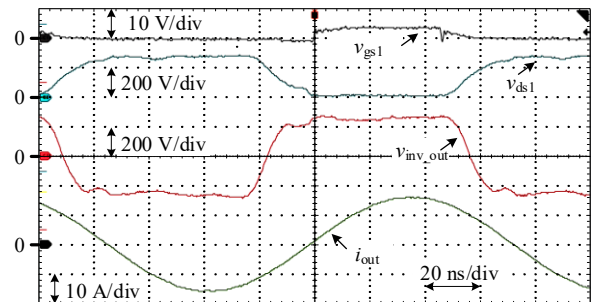


Fig. 9. Experimental waveform.

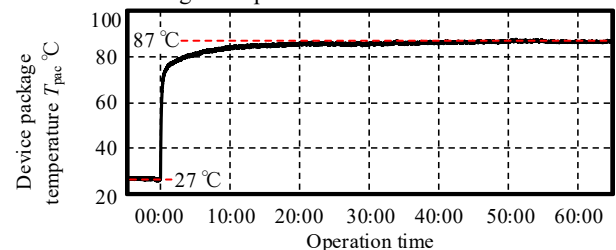


Fig. 10. Temperature of device package.

Systems Utilizing Electromagnetic Induction with Focus on Transmission Frequency and Transmission Power”, IEEJ Journal of I. A., Vol. 137, No.5, pp. 328-339(2017)

- (3) D. Patil, M. K. McDonough, J. M. Miller, B. Fahimi and P. T. Balsara: “Wireless Power Transfer for Vehicular Applications: Overview and Challenges”, in IEEE Transactions on Transportation Electrification, vol. 4, no. 1, pp. 3-37(2018)
- (4) 総務省：「電波法施行規則の一部を改正する省令」，平成 28 年総務省令，第 15 号(2016)
- (5) L. Jiang and D. Costinett: “Comprehensive Design for 6.78 MHz Wireless Power Transfer Systems”, 2018 IEEE Energy Conversion Congress and Exposition (ECCE), pp. 906-913(2018)
- (6) N. K. Trung, T. Ogata, S. Tanaka and K. Akatsu: “Attenuate Influence of Parasitic Elements in 13.56-MHz Inverter for Wireless Power Transfer Systems” in IEEE Transactions on Power Electronics, vol. 33, no. 4, pp. 3218-3231(2018)
- (7) J. Choi, D. Tsukiyama, Y. Tsuruda and J. M. R. Davila: “High-Frequency, High-Power Resonant Inverter With eGaN FET for Wireless Power Transfer”, in IEEE Transactions on Power Electronics, vol. 33, no. 3, pp. 1890-1896, (2018)
- (8) M. Fu, Z. Tang and C. Ma: “Analysis and Optimized Design of Compensation Capacitors for a Megahertz WPT System Using Full-Bridge Rectifier”, in IEEE Transactions on Industrial Informatics, vol. 15, no. 1, pp. 95-104(2019)
- (9) L. Jiang and D. Costinett: “A High-Efficiency GaN-Based Single-Stage 6.78 MHz Transmitter for Wireless Power Transfer Applications”, in IEEE Transactions on Power Electronics, vol. 34, no. 8, pp. 7677-7692(2019)
- (10) Panasonic Semiconductor Solutions Co., Ltd.: “GaN-Tr Application Note(PGA26E19BA)”, pp. 1-46(2016)
- (11) Y. Shen, H. Wang, F. Blaabjerg, H. Zhao and T. Long: “Thermal Modeling and Design Optimization of PCB Vias and Pads”, in IEEE Transactions on Power Electronics, vol. 35, no. 1, (2020)