



では連系時と自立時に同一の制御系を用いることが可能であり、連系インダクタを小さくした場合でも定常時での外乱抑圧特性を維持することができる。しかし、SMCは系統連系時に電流制御を行うためGFMへ適用できない。つまり、高パワー密度化を達成するために連系インダクタンスを小さくするには、電圧制御による系統連系が可能な外乱抑圧特性向上法が必要となる。

本論文では、小さい連系インダクタでも連系時の電流または自立時の電圧の低ひずみを実現できる仮想インダクタンスによるセミオープンループ制御を提案する。セミオープンループ制御は、オープンループ制御に外乱オブザーバ (Disturbance Observer: DOB) を付加した制御法である。セミオープンループ制御では、フィルタのインピーダンスが小さいことに着目し、オープンループ制御と同様に出力電圧の目標値制御を行わず、外乱抑圧については外乱オブザーバにより補償を行う。そのため、PI 制御器や PR 制御器を用いずに出力電圧を制御できる。系統連系時、電流制御系を持たない電圧制御による系統連系では出力電流は連系インダクタ電圧により決定される。しかし、従来のセミオープンループ制御では連系時も連系インダクタ電圧を外乱として補償してしまう<sup>(1)</sup>。そのため、系統連系時に出力電力を制御することが困難となる場合がある。そこで、提案法ではセミオープンループ制御でも系統連系を実現するために出力電流を外乱として扱うことで電圧制御による系統連系を容易にする。また、DOB に使用するノミナルモデルの連系インダクタンスを実際よりも意図的に大きな値とすることにより、仮想的に連系インダクタンスを増加できる。これにより、系統電圧歪みや系統位相検出誤差による出力電流への外乱抑圧特性を向上できる。以上を 5 kW 試作機により提案法を適用した系統連系および自立運転について検証する。

## 2. インバータの電圧制御による系統連系

図 1 に LCL フィルタを適用した単相系統連系インバータの回路図を示す。本論文ではフルブリッジ単相 2 レベルインバータ構成で検討する。

図 2 に電圧制御による系統連系時のフェーザ図を示す。ここでは、フィルタインダクタンス  $L_f$ 、フィルタキャパシタンス  $C_f$  からなる LC フィルタのカットオフ周波数が系統周波数より十分高いとして連系インダクタンス  $L$  の影響のみを考慮したフェーザ図で説明する。インバータ出力電圧を  $\dot{V}_{conv}$ 、系統電圧を  $\dot{V}_{grid}$ 、連系インダクタ電圧を  $\dot{V}_L$  とすると、出力電流は(1)式となる。

$$i_L = \frac{|\dot{V}_{conv}| \sin \delta - j(|\dot{V}_{conv}| \cos \delta - |\dot{V}_{grid}|)}{\omega L} \dots\dots\dots (1)$$

ここで、 $\delta$  は系統電圧位相  $\theta_{grid}$  とインバータ出力電圧位相  $\theta_{conv}$  の位相差、 $\omega$  は系統角周波数である。系統の有効電力  $P_{out}$  と無効電力  $Q_{out}$  はそれぞれ(2), (3)式となる。

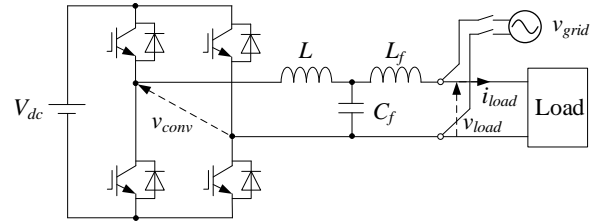


Fig. 1. Inverter circuit configuration.

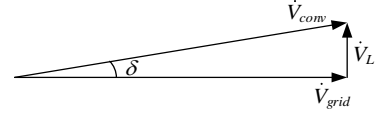
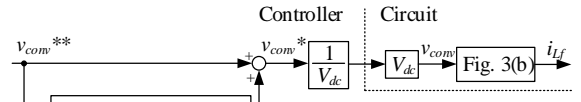
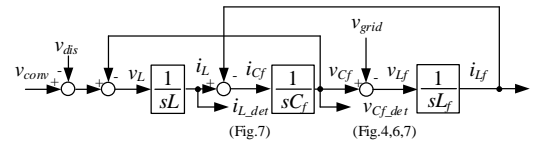


Fig. 2. Phasor diagram of voltage control grid-connection.



(a) Block diagram of a dead-time compensation.



(b) Block diagram of a LCL filter with a power grid.

Fig. 3. Block diagram of open-loop control.

$$P_{out} = \frac{|\dot{V}_{conv}| |\dot{V}_{grid}| \sin \delta}{2\omega L} \dots\dots\dots (2)$$

$$Q_{out} = \frac{|\dot{V}_{conv}| |\dot{V}_{grid}| \cos \delta - |\dot{V}_{grid}|^2}{2\omega L} \dots\dots\dots (3)$$

(2), (3)式より、電圧制御での系統連系ではインバータ出力電圧振幅  $V_{conv}$ 、および位相差  $\delta$  を制御することで所望の出力電力  $P_{out}$  を得ることができる。また、(1)式より連系インダクタンス  $L$  が小さいと、系統電圧変動、インバータ出力外乱や系統位相誤差によって出力電力が大きく変動する。

図 3 にオープンループ制御時のブロック線図を示す。オープンループ制御による電圧制御では、電流制御系を持つフィードバック制御に対してスイッチング周波数や電流検出遅れに由来する制御帯域の制限が無い利点がある。一方で、フィードバックループがないためデッドタイムをはじめとする電圧誤差の外乱抑圧特性が低い。そこで図 3(a) に示すオープンループ制御では、図 3(b) に示されているインバータ出力電圧外乱  $v_{dis}$  の主要因であるデッドタイム誤差電圧の補償を行う。しかし、系統電圧擾乱や電流ゼロクロス付近でのスイッチングリップルによるデッドタイム誤差電圧変動については補償が困難であるため、出力電流歪みを抑制するには連系インダクタンスを大きくする必要がある。

## 3. セミオープンループ制御

〈3・1〉 セミオープンループ制御による自立運転 図 4 にこれまで著者らが提案しているセミオープンループ制御<sup>(1)</sup>のブロック線図を示す。なお、文献(1)では小型 LC フィルタを用いた自立運転を対象としており、系統連系は考慮されていない。従来のセミオープンループ制御での DOB

による推定外乱  $\hat{v}_{dis}$  を(4)式に示す。

$$\hat{v}_{dis} = \frac{\omega_c}{s + \omega_c} v_{cov}^* - \frac{\omega_c}{s + \omega_c} v_{Cf\_det} \dots (4)$$

ここで  $\omega_c$  は DOB のカットオフ角周波数,  $v_{cov}^*$  はオープンループ電圧指令値  $v_{cov}^{**}$  に対して外乱補償後の電圧指令値,  $v_{Cf\_det}$  はフィルタキャパシタ電圧  $v_{Cf}$  の検出値である。

図5に自立運転において負荷電圧  $v_{load}$  を基準として図3(b)を整理したブロック線図を示す。図5より, 負荷電圧に対する外乱はフィルタインダクタ電圧  $v_{Lf}$  とフィルタキャパシタ電圧  $v_{Cf}$  となる。

図6に自立運転における文献(11)での従来のセミオープンループ制御(図4)にフィルタインダクタ電圧による外乱補償を追加したブロック線図を示す。従来法では LC フィルタを対象としていたため, フィルタインダクタ電圧による外乱補償を追加することで LCL フィルタに対応している。従来法にフィルタインダクタ電圧補償を追加した手法での DOB による外乱推定値  $\hat{v}_{dis}$  は以下ようになる。

$$\hat{v}_{dis} = \frac{\omega_c}{s + \omega_c} v_{cov}^* - \frac{\omega_c}{s + \omega_c} v_{Cf\_det} + \frac{\omega_c}{s + \omega_c} sL_f i_{Lf\_det} \dots (5)$$

ここで,  $i_{Lf\_det}$  はフィルタインダクタ電流  $i_{Lf}$  の検出値である。(5)式より, 図6に示す手法ではフィルタインダクタ電圧とフィルタキャパシタ電圧を外乱として補償していることがわかる。よって, セミオープンループ制御では自立運転において出力電流歪みを抑制することができる。

**(3.2) セミオープンループ制御による系統連系** 従来のセミオープンループ制御ではフィルタキャパシタ電圧と電圧指令値の差を外乱として補償する構成となっており, デッドタイム誤差等の出力電圧外乱による負荷電圧歪みを低減できる。その一方で, このまま系統連系を行うと連系インダクタ電圧が外乱として補償されて等価的にゼロに近づくため, 単なるオープンループ制御よりも系統電圧外乱への外乱抑圧特性が低下する。これによって, 安定した連系が困難となるため, 系統連系の実現には外乱抑圧特性の向上が必要となる。

#### 4. 系統連系を実現する仮想インダクタンス適用セミオープンループ制御の提案

**(4.1) 仮想インダクタンス適用セミオープンループ制御** 図7に提案する仮想インダクタンスを適用したセミオープンループ制御のブロック線図を示す。提案法では, 図6に示す自立運転時のセミオープンループ制御に系統連系時の仮想インダクタンスを増加させるオブザーバを追加した構成となっている。そのため, 自立運転時と系統連系時のそれぞれに適したセミオープンループ制御を行う。ここで, 提案法での  $k$  は自立運転と連系運転とを連続的に切り替えるための比例ゲインであり, 0 から 1 の値に設定する。

**(4.2) 提案法による系統連系** 従来法では, 連系イ

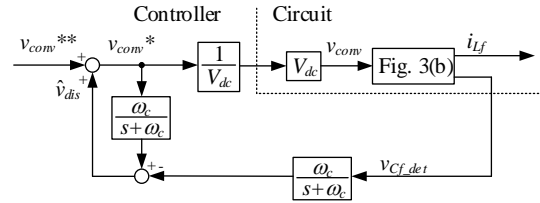


Fig. 4. Block diagram of the conventional semi-open-loop control.

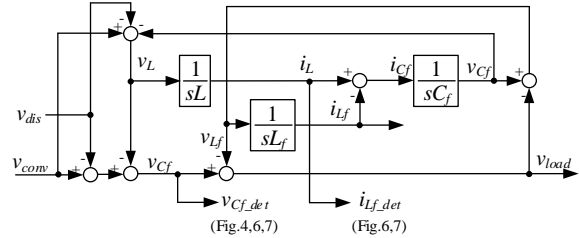


Fig. 5. Block diagram of a LCL filter for a load voltage.

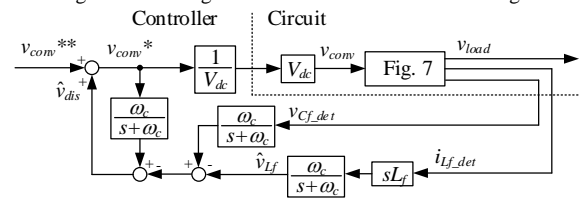


Fig. 6. Block diagram of the conventional semi-open loop control with the filter inductor voltage compensation.

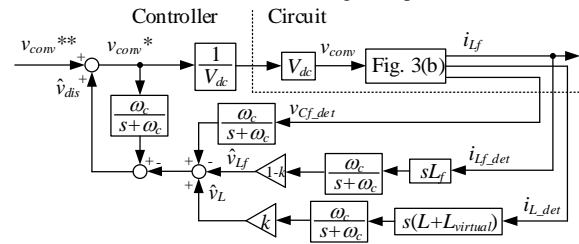


Fig. 7. Block diagram of the proposed semi-open-loop control.

ンダクタンス電圧を外乱として補償することにより, 等価的に連系インダクタンス  $L$  が小さく見えることが問題であった。そのため, 系統連系ではインバータ出力電圧外乱  $v_{dis}$  のみ外乱として補償し, その上で仮想インダクタンスを用いる手法について提案する。提案法での  $k$  を 1 とした際の DOB による外乱推定値は(6)式となる。

$$\hat{v}_{dis} = \frac{\omega_c}{s + \omega_c} v_{cov}^* - \frac{\omega_c}{s + \omega_c} v_{Cf\_det} - \frac{s\omega_c}{s + \omega_c} (L + L_{virtual}) i_{L\_det} \dots (6)$$

ここで  $i_{L\_det}$  は連系インダクタ電流  $i_L$  の検出値,  $L_{virtual}$  は DOB 内での連系インダクタンスのノミナル値と実際の連系インダクタンス  $L$  との差分となる仮想インダクタンスである。仮想インダクタンスを用いた場合, DOB 内での連系インダクタンスが  $L_{virtual}$  分だけ大きく設計され, 連系インダクタ電圧の推定値は実際の電圧よりも大きくなり, インバータ出力電圧は実電圧と推定値との差分だけ低下する。この差分電圧は系統から見ると, 連系インダクタによる電圧降下と見なせるため, 仮想的に連系インダクタンスを増加させることができる。ただし, 連系インダクタンスを増加させることのできる範囲は DOB のカットオフ周波数  $\omega_c$  で制限される。系統電圧外乱による系統電流歪み量は連系インダク

タを大きくすることで低減できるため、仮想インダクタンスを用いることで外乱抑圧特性を向上できる。一方、大きな仮想インダクタンスは検出電流に対する出力電圧へのゲインを増加させるため、検出遅延や検出誤差による影響が増加する。そのため、適用する仮想インダクタンスの大きさは検出外乱による電流 THD 増加が生じない範囲で設定する必要がある。

〈4・3〉外乱抑圧特性 表1に周波数特性解析条件を示す。周波数特性は図7に示す提案制御法による伝達関数に基づいて理論的に解析する。ここでは、系統連系時( $k=1$ )における仮想インダクタンスを用いたセミオープンループ制御を適用した場合について、インバータ出力電圧外乱  $v_{dis}$  から出力電流  $i_{lf}$  までのゲイン特性、およびインバータ出力電圧  $v_{conv}$  と系統電圧  $v_{grid}$  との電位差  $\Delta v$  による出力電流  $i_{lf}$  までのゲイン特性を解析する。また、電位差  $\Delta v$  は以下で与えられる。

$$\Delta v = v_{conv} - v_{grid} \dots\dots\dots (7)$$

図8(a)にインバータ出力電圧外乱  $v_{dis}$  から出力電流  $i_{lf}$  へのゲイン特性を示す。図8(a)より、提案法で用いる DOB ではカットオフ周波数以下で出力電圧外乱による出力電流への影響を低減できることが確認できる。また仮想インダクタンスを増加させた場合のゲイン特性は、増加量に応じてゲインが低下することが確認できる。これは、仮想インダクタンスの増加により外乱抑圧特性が向上できることを示す。

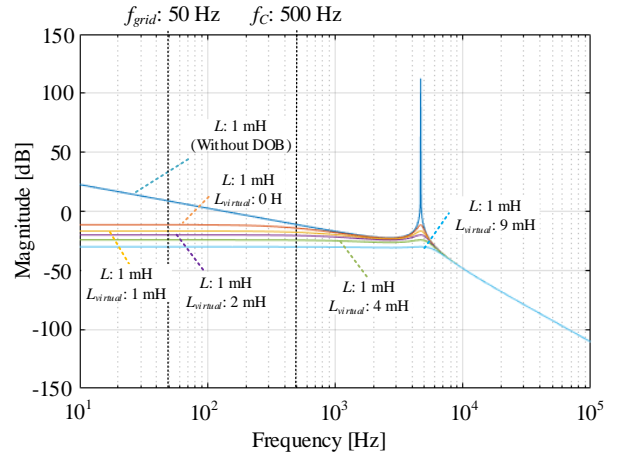
図8(b)に電位差  $\Delta v$  から出力電流  $i_{lf}$  へのゲイン特性を示す。図8(b)より提案法では仮想インダクタンスの適用によって、DOB のカットオフ周波数以下で系統電圧外乱に対する外乱抑圧特性を向上させていることが確認できる。また連系インダクタンスの9倍(9 mH)の仮想インダクタンスを適用した場合のゲイン特性は、連系インダクタンスを10倍(10 mH)した際のゲイン特性と一致することから、DOB により連系インダクタンスを仮想的に増加できることがわかる。

5. 提案法を適用した無瞬断切替動作

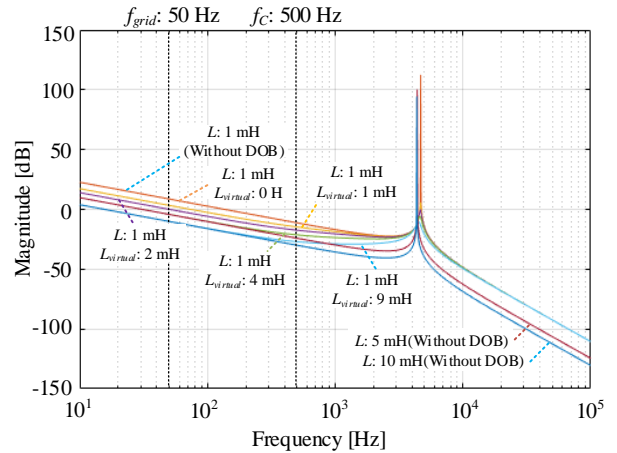
図9に系統連系時の電力制御器のブロック線図を示す。ここで、 $P_{command}$  は有効電力指令、 $Q_{command}$  は無効電力指令、 $\omega_{rated}$  は商用電源角周波数、サーカムフレックスは制御器内での演算値であることを示す。提案するセミオープンループ制御では、電圧制御による系統連系を行っているため、系統への接続および解列を電圧制御系のみで実現する。そのため、従来の電圧制御・電流制御の切替とは異なり電流制御系を持たず、系統運転と自立運転時で切替の際に制御器の過渡現象が発生することはない。系統連系時の有効電力制御には動揺方程式ベースのVSG制御<sup>(4)</sup>を、無効電力制御にはQ-Vドループ<sup>(4)</sup>を適用している。VSG制御では有効電力をフィードバックし、出力角周波数を $\Delta\omega$ だけ加減速することで位相差 $\delta$ を変化させ有効電力の制御を行う。Q-Vドループでは無効電力をフィードバックし、出力電圧振幅 $V_{conv}$ を変化させ無効電力がゼロとなるように制御を行う。フィードバックする電力は(2),(3)式によって計算されるた

Grid-tied inductance (%Z)*	$L$	1 mH(3.9%)
Filter inductance (%Z)*	$L_f$	170 $\mu$ H(0.7%)
Filter capacitance (%Y)*	$C_f$	8 $\mu$ F(2.0%)
Grid frequency	$f_{grid}$	50 Hz
Cutoff fre. of DOB	$f_c$	500 Hz

\*Rated power: 5 kW, Grid voltage: 200 V<sub>RMS</sub>



(a) Inverter output voltage disturbance characteristics.



(b) Inverter output current characteristics.

Fig. 8. Comparison of gain characteristics of open-loop, conventional and proposed semi-open-loop control without virtual inductance.

め、計算に必要な系統電圧振幅値  $V_{grid}$  は、中心周波数を商用各周波数としたバンドパスフィルタ(Band-Pass Filter: BPF)である BPF1 および商用各周波数の2倍とした BPF2 を使用し取得する。また、系統電流実効値  $I_{grid}$  も同様に取得することで、任意の系統電流時に系統から解列する。系統への接続および解列による系統連系と自立運転の切替に応じて電圧制御系は VSG 制御 ( $S_{mode:1}$ ) と定電圧定周波数 (Constant Voltage Constant Frequency: CVCF) 制御 ( $S_{mode:2}$ )、同期投入 ( $S_{mode:3}$ ) との間で切替が必要となる。そのため、これらの制御は出力角周波数  $\omega_{conv}$  を用いて切替を行う。出力電圧位相  $\theta_{conv}$  は出力角周波数  $\omega_{conv}$  の積分値であるため、出力角周波数  $\omega_{conv}$  が切替によりステップ状に変化した場合でも出力電圧位相  $\theta_{conv}$  は連続となる。これにより位相の瞬間的な

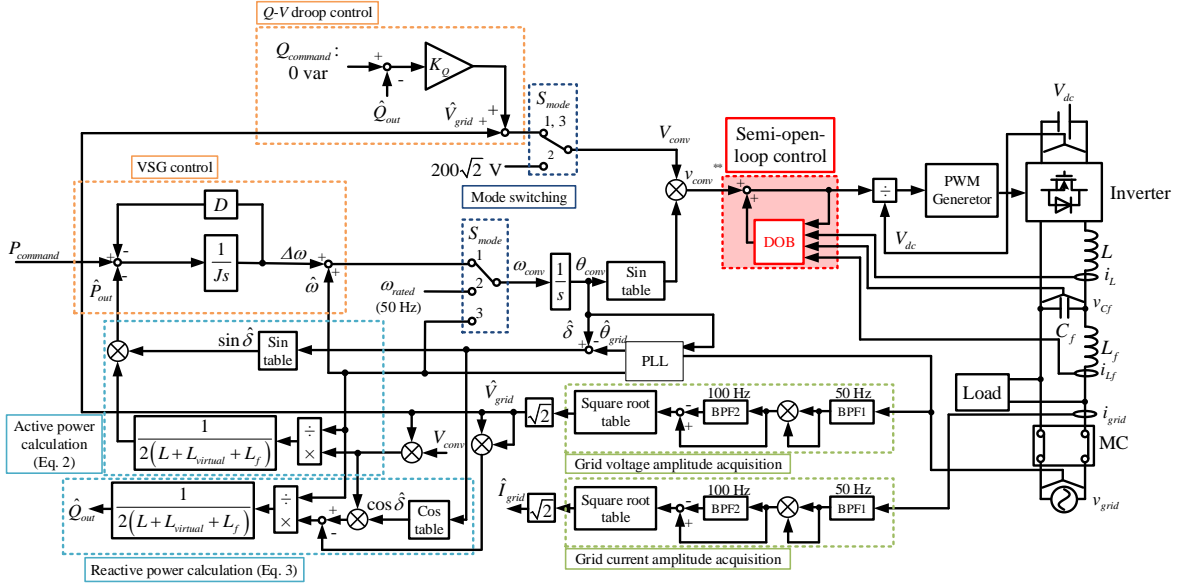


Fig. 9. Block diagram of the output power control of the grid-tied inverter with the VSG control, the Q-V droop control and the semi-open-loop control.

変動による出力電圧変動を抑制でき、電圧を負荷へ連続的に出力する無瞬断切替動作を実現する。また提案法では、電圧制御系だけでなく  $k$  の値によって系統連系および自立運転の DOBへ切替を行う。図7にて示した提案するセミオープンループ制御での DOB による外乱推定値は(8)式となる。

$$\hat{v}_{dis} = \frac{\omega_c}{s + \omega_c} v_{conv}^* - \frac{\omega_c}{s + \omega_c} v_{cf\_det} + \frac{s\omega_c(1-k)}{s + \omega_c} L_f i_{Lf\_det} - \frac{sk\omega_c}{s + \omega_c} (L + L_{virtual}) i_{L\_det} \quad (8)$$

(5),(6)式との比較より、 $k$  は1または0とすることで系統連系と自立運転についてそれぞれセミオープンループ制御を切り替える。ただし、実際に連系インバータが系統と接続および解列するタイミングと同期させて  $k$  を変化させることは動作遅延等によって困難となる。また  $k$  のステップ状の変化は、出力電圧を  $k$  と同様にステップ状に変化させるため無瞬断切替の妨げとなる。これらに対応するため、提案法では  $k$  の変化は0から1の間でのランプ状としている。ここで、 $k$  を変化させるタイミングについては系統連系と自立運転の切替における自立運転時に変化の大部分が終了するように決定する。これは、系統連系中に  $k$  が大きく変化すると、(8)式より連系インダクタンスが変化しているような動作を DOB が行い、(1),(2)式に示す連系インバータの出力電力が大きく変動するためである。なお、自立運転中に  $k$  のミスマッチがあっても切替期間中に電流ひずみが発生するだけであり、過電流によるトリップや大きなステップ状の変化が生じることはない。

## 6. 実機検証

表2に実験条件を示す。DOBのカットオフ周波数はLCLフィルタの共振周波数に対して1/2以下に設定した。また、

Table 2 Experimental conditions.

Output power	$P_{out}$	5 kW
DC link voltage	$V_{dc}$	330 V
Grid voltage RMS	$V_{grid\_RMS}$	200 V
Grid-tied inductance (%Z)	$L$	1 mH(3.9%)
Filter inductance (%Z)	$L_f$	170 $\mu$ H(0.7%)
Filter capacitance (%Y)	$C_f$	8 $\mu$ F(2.0%)
Virtual inductance (%Z)	$L_{virtual}$	2 mH(7.9%)
Grid frequency	$f_{grid}$	50 Hz
Cutoff fre. of DOB	$f_c$	500 Hz
Switching frequency	$f_{sw}$	10 kHz
Sampling frequency	$f_s$	20 kHz
Damping factor of BEF	$\zeta$	0.05
Dead time	$T_{dead}$	3 $\mu$ s
Damping coefficient	$D$	0.048 J/rad
Virtual Inertia	$J$	0.055 kgm <sup>2</sup>
Q-V droop gain	$K_Q$	0.1 V/var

仮想インダクタンスは検出遅延や検出誤差により出力電流 THD の大きな増加が生じない値として連系インダクタ(1 mH)の2倍に設定した。VSG制御の仮想イナーシャ  $J$  および制動係数  $D$  は容量が5 kW程度の同期電動機を参考に決定し、Q-Vドロップの比例ゲイン  $K_Q$  は定格動作時の無効電力が定格電力の1%以下となる条件を満たすよう決定した。

実機検証では、図3に示すVSG制御でよく用いられているオープンループ制御と提案法とで比較を行う。比較時の提案法の  $k$  は0か1とし、系統連系および自立運転での比較を行う。また提案法による系統連系と自立運転との切替動作を確認する。

〈6・1〉系統連系 図 10 にオープンループ制御および提案法( $k=1$ )による系統連系結果を示す。図 10(a)に示すオープンループ制御では出力電流 THD は 18.2%である。出力電流に生じている電流歪みは、主にデッドタイム誤差による出力電圧外乱により生じていると考えられる。また、オープンループ制御では連系インダクタンスが小さいことによる低い外乱抑圧特性により、出力電圧外乱による電流歪みを十分に抑圧できていないため、出力電流 THD が 18.2%であったと考えられる。一方、図 10(b)に示す連系インダクタ(1 mH)の 2 倍の仮想インダクタンスを用いた提案法では出力電流 THD が 4.34%であり、オープンループ制御に比べて電流高調波を 76%低減している。提案法では、仮想インダクタンスを適用することにより出力電圧外乱に対する外乱抑圧特性を向上できる。これによって、オープンループ制御と同一の連系インダクタンスでも電流高調波を低減することができたと考えられる。

図 11 にオープンループ制御と仮想インダクタンスを変化させた際の提案法( $k=1$ )による出力電流 THD 特性を示す。オープンループ制御と提案法における仮想インダクタンス 0 H 時の結果を比較すると、0.3p.u.未満の軽負荷ではオープンループ制御の方が出力電流 THD は軽減されている一方、重負荷領域では提案法により出力電流 THD を低減している。オープンループ制御では補償電圧が直流電圧とスイッチング周波数、デッドタイム時間による一定値であるのに対して、提案法では出力電圧外乱を推定している。そのため、提案法ではオープンループ制御におけるデッドタイム補償誤差やデッドタイム以外に起因する出力電圧外乱を補償することができるため出力電流 THD を低減したと考えられる。ただし、提案法で補償できる出力電圧外乱は DOB のカットオフ周波数で制限されるため、出力電流の基本波振幅が小さい軽負荷では提案法で補償できない外乱高次成分により出力電流 THD が悪化したと考えられる。また、仮想インダクタンスを変化させた提案法による結果を比較すると、仮想インダクタンスを大きくすることによって全負荷領域で電流 THD を低減している。提案法では仮想インダクタンスを増加させることによって出力電圧外乱に対する外乱抑圧特性を向上させることが可能であるため、より大きい仮想インダクタンスにおいて電流 THD の改善が生じたと考えられる。

図 12 に、オープンループ制御と仮想インダクタンスを変化させた際の提案法( $k=1$ )による出力有効電力-位相差特性を示す。オープンループ制御と提案法の結果を比較すると、提案法では位相差 $\delta$ に対する出力電力変化が直線状の比例特性となっているのに対して、オープンループ制御では曲線状である。(2)式に示す有効電力式では、位相差 $\delta$ が 1 より十分小さい領域では  $\sin\delta$ を $\delta$ と近似できるため、有効電力が位相差 $\delta$ に対して比例特性を近似的に得られることが示されている。そのため、オープンループ制御での曲線状の非線形特性は、出力電圧外乱を十分に抑圧できていないことによる影響であると考えられる。また、仮想インダクタン

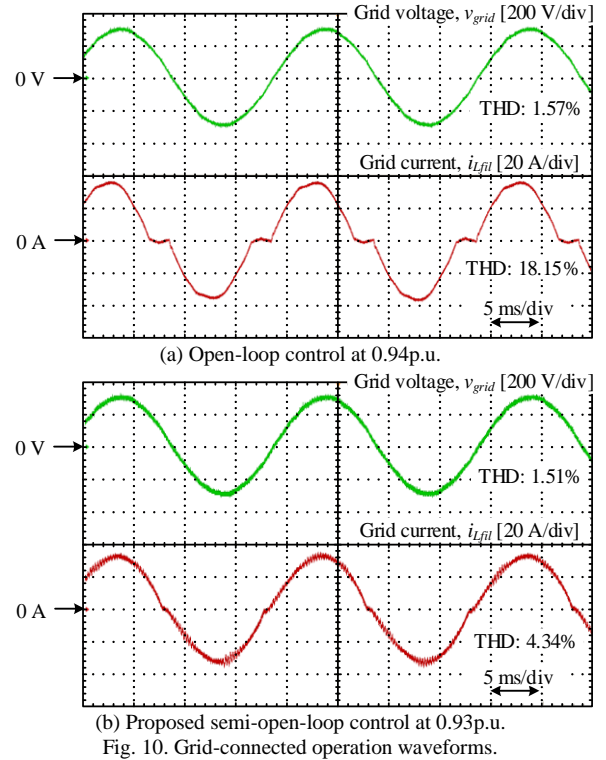


Fig. 10. Grid-connected operation waveforms.

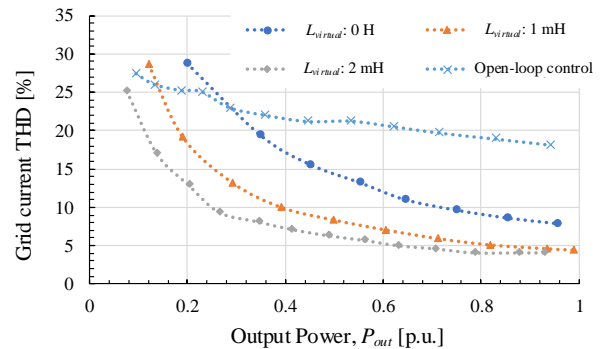


Fig. 11. Output current THD characteristics vs. output power

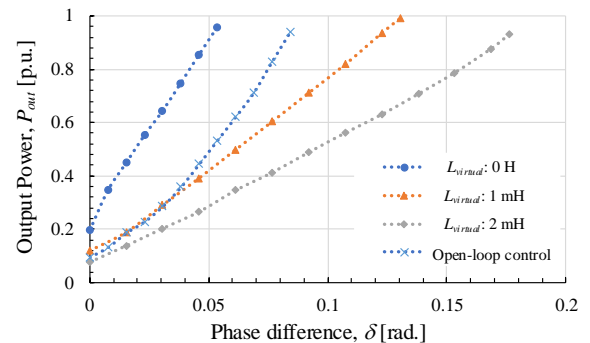


Fig. 12. Output power characteristics vs. phase difference  $\delta$

スを変化させた提案法による結果を出力電力の傾きについて直線近似により比較すると、仮想インダクタンス 0 H に対して、1 mH では 0.50 倍、2 mH では 0.35 倍である。ここで、連系インダクタンスと仮想インダクタンスの和の比率が順に 1:2:3 であることと比較すると、出力電力の傾きはインダクタンスの和に対して反比例特性が得られている。(2)式では、連系インダクタンス  $L$  に対して反比例特性を得られることが示されていることから、提案法による仮想イン

ダクタンスの増加は連系インダクタンスの増加と同様の特性が得られることがわかる。

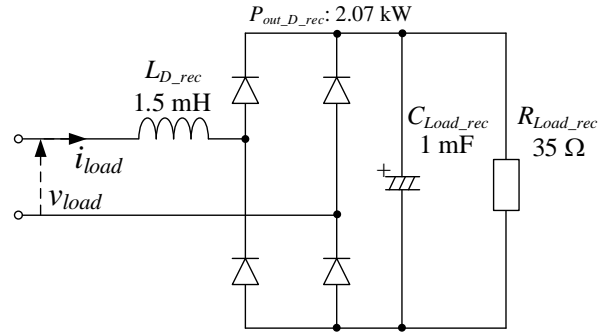
**〈6・2〉 自立運転** 図 13 に非線形負荷として使用したキャパシタインプット型ダイオード整流回路および非線形負荷を適用した際の自立運転結果を示す。ダイオード整流回路の回路パラメータは負荷電流においてピーク値と実効値の比率であるクレストファクタ(Crest factor: CF)をもとに決定する。本稿では, ダイオード整流回路へ正弦波電圧印加時に負荷電流  $i_{load}$  のクレストファクタ(Crest Factor: CF)が 2.4 から 2.5 となり, 系統電圧印加時の負荷電流最大値が系統連系時の系統電流最大値と同等となるようにダイオード整流回路のフィルタインダクタンス  $L_{D\_rec}$ , 負荷キャパシタンス  $C_{Load\_rec}$ , 負荷抵抗  $R_{Load\_rec}$  を設定した。また, 定格電力  $P_{out\_D\_rec}$  は 2.07 kW である。図 13(b) のオープンループ制御では負荷電圧 THD が 9.25% であるが, 図 13(c) の提案法( $k=0$ )では負荷電圧 THD が 4.84% であり, 電圧高調波を 48% 低減できている。なお, 図 13(d) は系統連系時の提案法( $k=1$ )での負荷電圧 THD は 8.75% であり, オープンループ制御に対して電圧高調波は 5.4% しか低減できていない。これは,  $k=0$  にすると連系インダクタンス電圧による負荷電圧外乱を補償しないためである。

**〈6・3〉 無瞬断切替動作** ここでは提案法による系統連系と自立運転との連続的な動作切替を確認する。負荷条件として抵抗負荷, およびダイオード整流器による非線形負荷のそれぞれについて確認を行った。電力変換器および負荷と系統との接続, 解列には電磁接触器(Magnet Contactor: MC)を用いた。MC の動作には制御器の指令に対して時間遅れが存在するため, 比例ゲイン  $k$  を変化させ始めるタイミングは遅れを加味して決定した。本稿では, 系統連系時での  $k$  の減少を避けるため, 系統 1 周期である 20 ms だけ MC の指令に対して  $k$  の変化開始を遅らせている。また,  $k$  の変化率は  $50 \text{ s}^{-1}$  とし, 系統 1 周期で 0 と 1 の間で変化するように設定した。変化率の最適値についての検討は今後の課題とする。

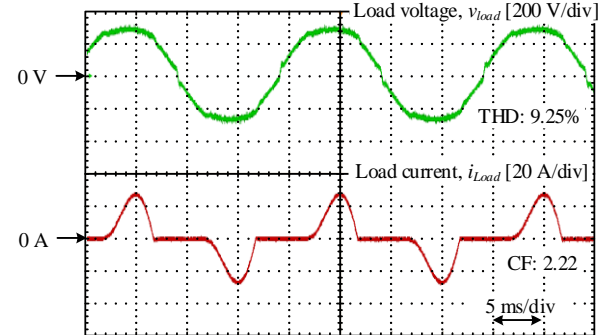
図 14 に抵抗負荷での提案法による系統連系から自立運転への切替波形を示す。提案法では, 電圧制御によって系統連系を行うため, 自立運転に切替えた際にも連続的な正弦波電圧を出力している。また, 切替前の系統電流は連系インバータの出力電流分だけ低減している。これにより, 抵抗負荷のような線形負荷が適用され系統電流が正弦波状であり, かつ出力電力と負荷電力が釣り合っている場合, 切替時の系統電流が低減し電流遮断による負荷電圧の変動が抑制される。

図 15 に抵抗負荷での提案法による自立運転から系統連系への切替波形を示す。同期投入によって系統電圧と出力電圧が一致するタイミングで系統と接続を行うため, 負荷電圧が連続的な正弦波となっていること確認される。接続時に瞬間的な歪みが生じているが, これは系統と接続したことによる瞬間的な出力電流変動によるものである。

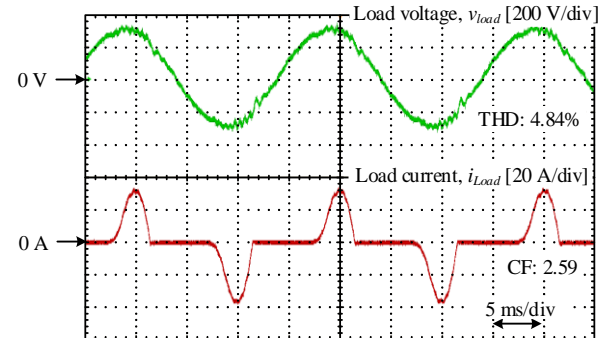
図 16 に非線形負荷での提案法による系統連系から自立運



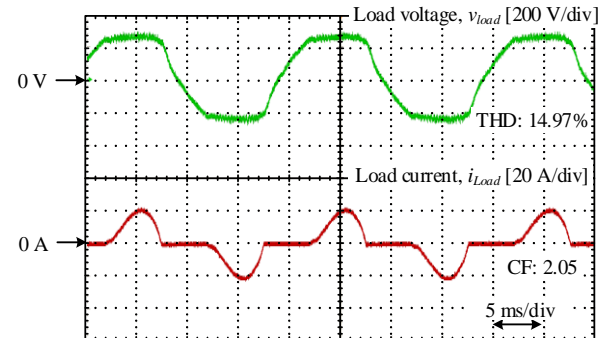
(a) Circuit configuration of a diode rectifier.



(b) Open-loop control.



(c) Conventional semi-open-loop control.



(d) Virtual inductance  $L_{virtual}$ : 2 mH,  $k$ : 1.

Fig. 13. Stand-alone operation waveform with a diode rectifier.

転への切替波形を示す。非線形負荷では  $k=1$  の場合, 連系インダクタ電圧外乱がキャンセルされず負荷電圧歪みが生じる。一方提案法では切替時に  $k$  を変化させることで対応できる。切替直後の移行期間では連系インダクタ電圧分により負荷電圧が台形となっているが, 切替後には負荷電圧が正弦波状に制御されている。

図 17 に非線形負荷での提案法による自立運転から系統連系への切替波形を示す。提案法での  $k$  の変化は自立運転時に

行っている。そのため、切替直前における負荷電圧は連系インダクタ電圧により台形状となっている。一方、系統連系へ切替を行った際には切替時にインダクタ電流が 0 A のままであるため、提案法によって突入電流が抑制されている。

## 7. まとめ

本論文では電流制御系を持たない電圧制御による単相系統連系インバータに対して、連系インダクタの低減が可能なセミオープンループ制御を提案した。提案法を適用することにより、5 kW 試作機において連系インダクタンスを増加させることなく系統連系時の出力電流 THD を 18.2% から 4.34% へ改善し、電流高調波を 76% 低減することを確認した。また、ダイオード整流器などの非線形負荷に対する自立運転時においても、DOB の切替を行うゲイン  $k$  を調整することで負荷電圧 THD を 9.25% から 4.84% へ改善し、電流高調波を 48% 低減することを確認した。系統連系と自立運転の切替においては、切替時に負荷へ連続的に電圧が出力されることを確認した。以上から、提案法による外乱抑圧特性の向上を確認できた。

## 文 献

- (1) 崎本謙一・三浦友史・伊瀬敏史:「仮想同期発電機の機能を有する分散電源を含む局所系統の無瞬断系統解列」, 平成 23 年電気関係学会関西支部連合大会, 30P2-19, pp. 449-450 (2011)
- (2) C. Lung, T. Shintai, H. Kakigano, Y. Miura and T. Ise: "Control Scheme of Uninterrupted Switching using a Virtual Synchronous Generator between Stand-Alone and Grid-Connected Operation of a Distributed Generation System for Houses", IEEJ Transactions on Power and Energy, Vol. 133, No. 5, pp. 430-438 (2012) (in Japanese)  
龍建儒・新帯俊信・柿々野浩明・三浦友史・伊瀬敏史:「仮想同期発電機を用いた家庭様分散型電源の商用系統連系・解列の無瞬断切り替制御」, 電気学会論文誌 B, Vol. 133, No. 5, pp. 430-438 (2012)
- (3) Z. Peng, J. Wang, Y. Dai, Y. Wen, Z. J. Shen, Z. Li and D. Bi: "Improved Virtual Synchronous Generator Control Strategy for Seamless Switching", 2018 IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 1003-1007, (2018)
- (4) X. Xiong, C. Wu and F. Blaabjerg: "An Improved Synchronization Stability Method of Virtual Synchronous Generators Based on Frequency Feedforward on Reactive Power Control Loop", IEEE Transactions on Power Electronics, Vol. 36, No. 8, pp. 9136-9148 (2021)
- (5) Z. Shuai, C. Shen, X. Liu, Z. Li and J. Shen: "Transient Angle Stability of Virtual Synchronous Generators Using Lyapunov's Direct Method", IEEE Transactions on Smart Grid, Vol. 10, No. 4, pp. 4648-4661 (2019)
- (6) H. Cheng, Z. Shuai, C. Shen, X. Liu, Z. Li and J. Shen: "Transient Angle Stability of Paralleled Synchronous and Virtual Synchronous Generators in Islanded Microgrids", IEEE Transactions on Power Electronics, Vol. 35, No. 8, pp. 8751-8765 (2020)
- (7) J. W. Kolar, U. Drofenik, J. Biela, M. Heldwein, H. Ertl, T. Friedli and S.Round: "PWM Converter Power Density Barriers", IEEJ Journal on Industry Applications, Vol. 128, No. 4, pp. 468-480 (2008)
- (8) M. Huang, X. Wang, P. C. Loh, F. Blaabjerg and W. Wu: "Stability Analysis and Active Damping for LLCL-Filter-Based Grid-Connected Inverters", IEEJ Journal of Industry Applications, Vol. 4, No. 3, pp. 187-195 (2015)
- (9) R. Peña-Alzola and M. Liserre: "LCL-Filter Design for Robust Active Damping in Grid-Connected Converters", IEEE Transactions on Industrial Informatics, Vol. 10, No. 4, pp. 2192-2203 (2014)
- (10) R. J. Wai, C. Y. Lin, Y. C. Huang and Y. R. Chang: "Design of

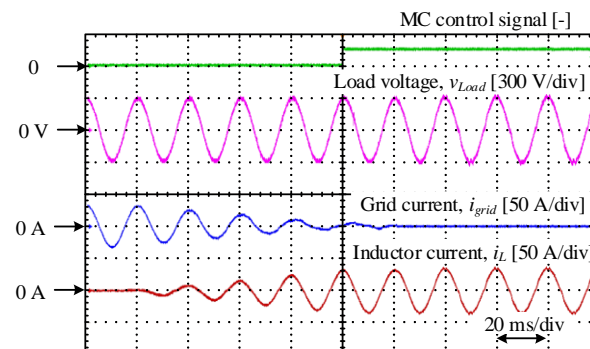


Fig. 14. Operational waveform of switching from grid-connection to stand-alone with resistor load.

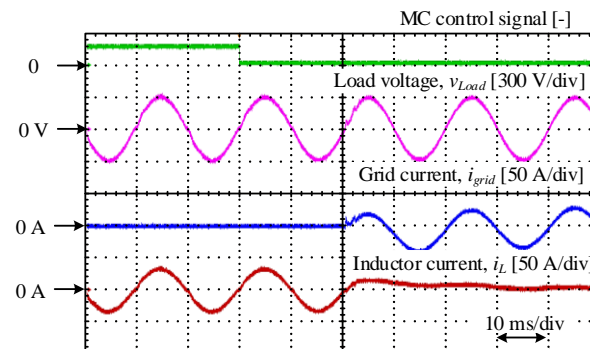


Fig. 15. Operational waveform of switching from stand-alone to grid-connection with resistor load.

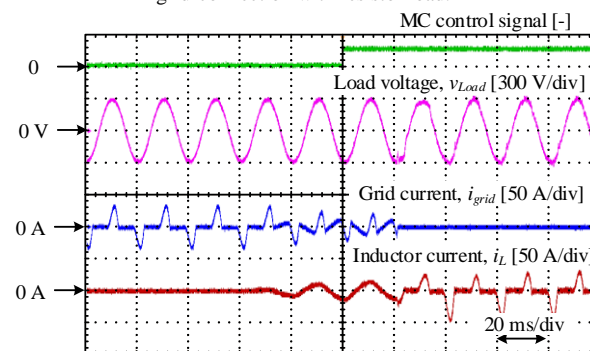


Fig. 16. Operational waveform of switching from grid-connection to stand-alone with non-linear load.

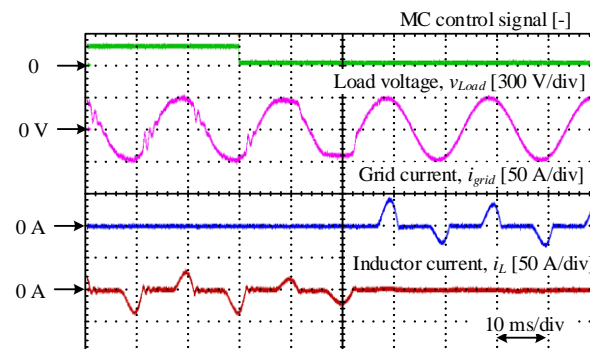


Fig. 17. Operational waveform of switching from stand-alone to grid-connection with non-linear load.

- (11) S. Nagai and J. Itoh: "Open-loop-based Island-mode Voltage Control Method for Single-phase Grid-tied Inverter with Minimized LC Filter", IEEJ Journal of Industry Applications, Vol. 8, No. 1, pp. 108-115 (2019)



西川 滉大



（学生員） 1997年8月3日生。2020年3月，長岡技術科学大学電気電子情報工学課程卒業。同年4月，長岡技術科学大学大学院工学研究科5年一貫制博士課程技術科学イノベーション専攻入学。現在に至る。主に，系統連系システムの研究に従事。

日下 佳祐



（正員） 1989年2月3日生。2013年3月，長岡技術科学大学大学院工学研究科修士課程修了。同年4月，同大学大学院博士後期課程エネルギー・環境工学専攻入学。2015年12月から2016年6月まで Swiss Federal Institute of Technology in Lausanne (EPFL)に Trainee として所属。同年3月，長岡技術科学大学大学院博士後期課程修了。博士（工学）。2016年4月より，長岡技術科学大学産学官連携研究員，2018年4月より助教，2021年11月より特任講師。現在に至る。主に非接触給電システム，太陽光発電向け電力変換回路の研究に従事。IEEE member，自動車技術会会員。

渡辺 大貴



（正員） 1989年11月23日生。2013年3月，長岡技術科学大学電気電子情報工学課程卒業。同年4月，同大学大学院工学研究科修士課程電に進学。2017年9月から2018年2月まで Swiss Federal Institute of Technology in Lausanne (EPFL)に Trainee として所属。2018年3月，長岡技術科学大学大学院博士後期課程修了。博士（工学）。同年4月より長岡技術科学大学産学官連携研究員。2022年4月より助教。現在に至る。主に電力変換回路の研究に従事。

伊東 淳一



（上級会員） 1972年1月6日生。1996年3月，長岡技術科学大学大学院工学研究科修士課程修了。同年4月，富士電機（株）入社。2004年4月，長岡技術科学大学電気系准教授。2017年4月，同大学電気系教授。現在に至る。主に電力変換回路，電動機制御の研究に従事。博士（工学）（長岡技術科学大学）。2007年第63回電気 Award (IPEC Sapporo)，第58回電気化学技術奨励賞，2012年インテリジェントコスモス奨励賞，2014年，2016年電気学会産業応用部門論文賞，2017年文部科学大臣表彰・科学技術賞（開発部門），2018年第4回永守賞受賞。IEEE Senior member，自動車技術会会員。