

によるリングングを抑制可能な実装法を提案している。実機検証における単機出力 1.2 kW を達成しているものの、デバイスの放熱や詳細な実装については言及されていない。

本論文では、MHz 帯における kW 級電力変換回路を実現する実装に主眼を置き、大容量化において考慮すべき要素と適用可能な実装法を明らかにする。特に各実装要素において、ソフトスイッチング動作への影響を考慮した MHz 帯 kW 級インバータの設計指針を示す。

本論文の構成と検討要素は以下の通りである。2 章では、パワー半導体デバイスとプリント基板(Printed Circuit Board: PCB)について、特にソフトスイッチング動作に影響を及ぼす寄生成分や電流通路経路に基づいた選定と検討を行う。また、適切なデバイス駆動を実現する駆動回路についても触れる。3 章では、2 章で選定するデバイスの放熱に着目し、特に表面実装パッケージ適用時に課題となる PCB を介した放熱設計について、熱抵抗低減に有効な実装法を理論計算及び測定により検討する。また、放熱構造がソフトスイッチング動作に与える影響を検討する。4 章では、デバイスのソフトスイッチング動作に必要なゲート信号について、2 章でのデバイス寄生成分、3 章での放熱構造による影響を踏まえて検討する。最後に 5 章では、検討要素を適用した MHz 帯 kW 級のインバータ試作器による実機検証より、実装法の有効性を検証する。

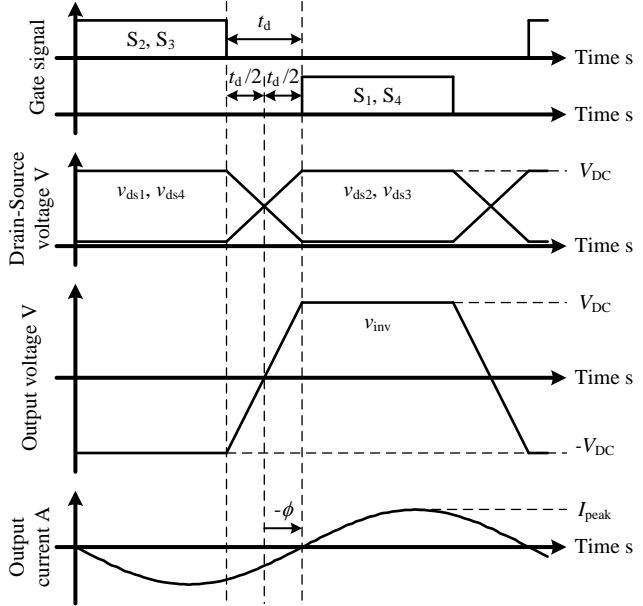
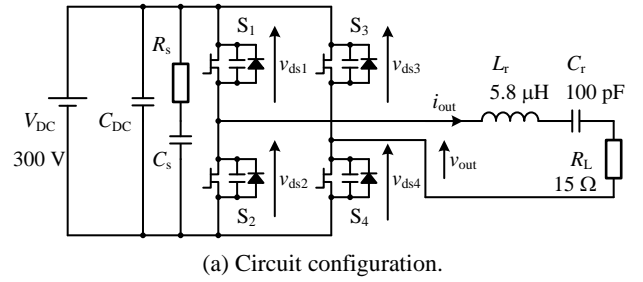
2. 寄生成分を考慮したデバイス選定と電流経路

〈2・1〉 主回路構成と回路仕様 図 1(a)に、設計例として検討するインバータの基本構成を、(b)に動作波形の概略図をそれぞれ示す。主回路は最も一般的なインバータの一つであるフルブリッジ構成とし、各デバイスは方形波駆動で運転する。WPT システムへの適用を想定し、インバータ出力端はシステムを模擬するため RLC 直列共振回路で表現する。WPT システムでは、伝送効率向上のためコイル端での力率 1 動作が求められるが、本構成におけるインバータ出力端の力率は各デバイスターンオン時の ZVS(Zero Voltage Switching)動作のため遅れ力率となるよう制御しなくてはならない⁽⁶⁾。そのため、WPT システムへの適用にはインピーダンス変換回路の挿入等によるインピーダンス整合が必要となり、文献(11)ではインピーダンス変換回路の構成と乗数設計が検討されている。

表 1 に、本稿における回路仕様を示す。ここで、インバータ出力電圧はデッドタイムを含まない理想的な方形波電圧、出力電流は高調波成分を含まない理想的な正弦波と仮定し、基本波成分のみが出力電力に寄与するものとする。インバータ出力電流の最大値 I_{peak} は、所望の定格電力と DC リンク定格電圧 V_{DC} 、インバータ出力端での力率下限値より、(1)式で表される。

$$I_{peak} = \frac{\pi P_{out}}{2V_{DC} \cos\theta} \dots\dots\dots(1)$$

表 1 に示す所望の出力電力と定格電圧から算出した出力電流最大値 I_{peak} は、(1)式より約 15A である。



(b) Circuit operation.
Fig. 1. Resonant load inverter for WPT system.

Table 1. Design requirement.

| | | |
|-----------------------|--------------|----------|
| Output power | P | 2.1 kW |
| DC link voltage | V_{DC} | 300 V |
| Switching frequency | f_s | 6.78 MHz |
| Power factor(minimum) | $\cos\theta$ | 0.75 |

〈2・2〉 パワー半導体デバイス寄生成分と選定 はじめに、要求される回路仕様に基づき適用するパワー半導体デバイスを選定する。DC リンク定格電圧 V_{DC} より、耐圧は 600 V 級の、出力電流最大値 I_{peak} より定格電流は 20 A 以上の GaN デバイスを選定する。また、デバイス端子における寄生成分低減の観点から、表面実装(Surface Mounted Device: SMD) パッケージ品を選定対象とする。

表 2 に、ドレイン-ソース間の最大定格電圧が 600 V 程度、ドレイン電流 I_D の最大連続定格が 20 A 以上の GaN デバイスの特性の一部を、ターンオン時の立ち上がり時間 t_r が短い順に示す。表 2 より、ノーマリーオフ特性実現のために内部で低圧 MOSFET がカスコード接続されているデバイスは、遅延時間がターンオン、オフ時間に対して数倍以上あり、またターンオンとオフの遅延時間の差も大きい。遅延時間の差は、フルブリッジ構成に適用する上で ZVS 達成をより複雑とするため好ましくない。また、リカバリ電荷量 Q_{rr} がゼロでないデバイスもあることから、損失面でも

Table 2. Parameters of each device.

| Product Name | Drain current | On-resistance | Rise time | Fall time | Delay time | | Output charge | Recovery charge | Junction temperature | Thermal resistance |
|-----------------------------------|---------------|---------------|-----------|-----------|-----------------------|-------------------------|---------------|-----------------|----------------------|--------------------|
| | I_D | $R_{DS(on)}$ | t_r * | t_f * | Turn-on $t_{d(on)}$ * | Turn-off $t_{d(off)}$ * | Q_{oss} * | Q_{rr} * | T_{jmax} | $R_{th(j-c)}$ |
| GS66508B (GaNsystems) | 30 A | 50 mΩ | 3.7 ns | 5.2 ns | 4.1 ns | 8 ns | 64 nC | - | 150 °C | 0.5 K/W |
| GAN080-650EBE (Nexperia) | 29 A | 60 mΩ | 4 ns | 4 ns | 3 ns | 5 ns | 60 nC | - | 150 °C | 0.52 K/W |
| GNP1150TCA-Z (ROHM) | 35 A | 155 mΩ | 5.3 ns | 8.3 ns | 4.7 ns | 6.2 ns | 18.5 nC | 0 nC | 150 °C | 2.0 K/W |
| PGA26E07BA (Panasonic) | 26 A | 56 mΩ | 5.6 ns | 2.4 ns | 3.7 ns | 5.5 ns | 45 nC | 0 nC | 150 °C | 1.3 K/W |
| GS-065-030-2-L (GaNsystems) | 30 A | 50 mΩ | 6.3 ns | 5.7 ns | 8.2 ns | 10.8 ns | 61 nC | - | 150 °C | 0.5 K/W |
| GNP1070TC-Z (ROHM) | 20 A | 73 mΩ | 6.9 ns | 8.7 ns | 5.9 ns | 8.0 ns | 44 nC | 0 nC | 150 °C | 2.2 K/W |
| IGT60R070D1 (Infinition) | 35 A | 55 mΩ | 8 ns | 15 ns | 10 ns | 14 ns | 41 nC | 0 nC | 150 °C | 1 K/W |
| GS-065-060-5-B-A (GaNsystems) | 60 A | 25 mΩ | 8.5 ns | 7.7 ns | 8.1 ns | 9.8 ns | 135 nC | - | 150 °C | 0.35 K/W |
| TP65H070G4LSGB-TR (Transphorm) ** | 29 A | 72 mΩ | 9 ns | 6.5 ns | 27 ns | 71 ns | 78 nC | 0 nC | 150 °C | 1 K/W |
| TP65H050G4BS (Transphorm) ** | 34 A | 50 mΩ | 11.3 ns | 10.9 ns | 49.2 ns | 88.3 ns | 120 nC | 120 nC | 150 °C | 1.05 K/W |
| GS66516B (GaNsystems) | 60 A | 25 mΩ | 12.4 ns | 22 ns | 4.6 ns | 14.9 ns | 134 nC | - | 150 °C | 0.27 K/W |

カスコードタイプでないデバイス選定が適すると言える。
 また、デバイスの ZVS 動作には、デッドタイム期間中にデバイス出力容量に蓄えられる電荷 Q_{oss} を充放電する必要がある。そのため Q_{oss} は小さく、ターンオフ時間 t_f は短いデバイスが適する。そのため本稿では、PGA26E07BA (Panasonic)を選定する。

〈2・3〉 ゲート駆動回路 選定したデバイスを適切に動作させる上でゲート駆動回路の重要度は高い。特に高速なゲート駆動では、入力容量 C_{iss} の充放電と、対向アームのハードスイッチング時に帰還容量 C_{gd} を通してゲート容量 C_{gs} が充電され引き起こされる誤点弧への対策が必要となる。

図 2 に、高速に入力容量 C_{iss} を充放電可能なゲート駆動回路の一例⁽¹³⁾を示す。ゲート抵抗 R_{ig} に並列接続されるスピードアップコンデンサ C_s は、ターンオン時ゲート抵抗 R_{ig} をバイパスし C_{iss} を急速に充電する。また、ターンオフ時 R_{goff} を介して C_{iss} を急速に放電する。オフ時は、 R_{goff} とゲートドライバを介して C_s が C_{gs} に並列に接続されるため、誤点弧防止に寄与する。スピードアップコンデンサ適用時の各素子定数は、ゲートの定格電流とゲートドライブ IC の電圧より決定⁽¹³⁾し、本稿においても図 2 の構成を採用する。

〈2・4〉 主回路電流経路 デバイス選定後、デバイスを実装する PCB の設計を行う。一般的な電力変換回路の PCB 設計では、デバイスのハードスイッチング動作に起因したサージ電圧抑制に重点を置き、スナバ回路とインバータのレグにより形成されるパワーループ⁽¹⁴⁾の面積が小さくなるようスナバ回路を配置する設計指針が適用される。加えて MHz 帯では、デバイスでのスイッチング損失低減の観点から ZVS 動作の達成が重要であり、ハードスイッチング時にサージ電圧を引き起こすパワーループとともに ZVS 動作に関する電流経路に着目する必要がある。

図 3(a), (b)に、検討する回路構成において出力電流の極性が正の時の電流経路を、(c), (d)に出力電流の極性が負の時の電流経路をそれぞれ示す。ここで、図 3(b), (d)はデバ

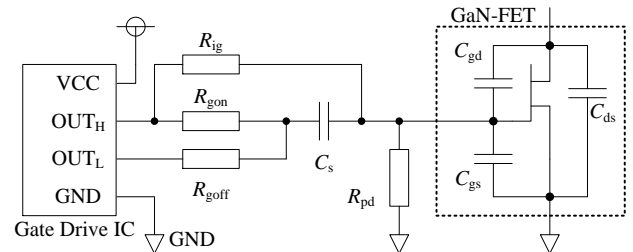


Fig. 2. Gate drive circuit with speed-up capacitor⁽¹³⁾.

イス出力容量に蓄えられた電荷 Q_{oss} をデッドタイム期間中に引き抜く電流経路であり、電流は各レグ間を通流する経路で流れる。ここで両レグ間を結ぶ DC リンク配線長が長い場合、通流する電流はレグ間のループにより形成される寄生インダクタンスの影響を受ける。そのため、DC リンクの配線構造は、レグ間のループが小さくなるよう設計する必要がある。

〈2・5〉 PCB 銅箔厚と配線幅 主回路電流経路では、通流する電流値に応じて電流経路の配線幅を決定する。しかし、MHz 帯の電流経路では表皮効果により抵抗値が増大するため、表皮効果の影響を受けない PCB 銅箔厚の選択または、表皮効果を考慮した配線幅の設定が必要となる。

表皮効果の影響を受けない PCB 銅箔厚を選択する場合、配線に求められる最小幅 w は(2)式で表される。

$$w = \frac{I_{peak}}{t_{cu} I_{sq} / 10^{-6}} \dots\dots\dots(2)$$

ここで、 I_{sq} は 1 mm^2 あたりの電流許容値、 t_{cu} は PCB の銅箔厚である。

一方、表皮効果の考慮を必要とする PCB 銅箔厚の場合、表皮効果により電流が偏って通流する表皮深さ δ は、(3)式で表される。

$$\delta = \sqrt{\frac{\rho}{\mu\pi f}} \dots\dots\dots(3)$$

ρ は材質の電気抵抗率、 μ は透磁率、 f は周波数であり、表

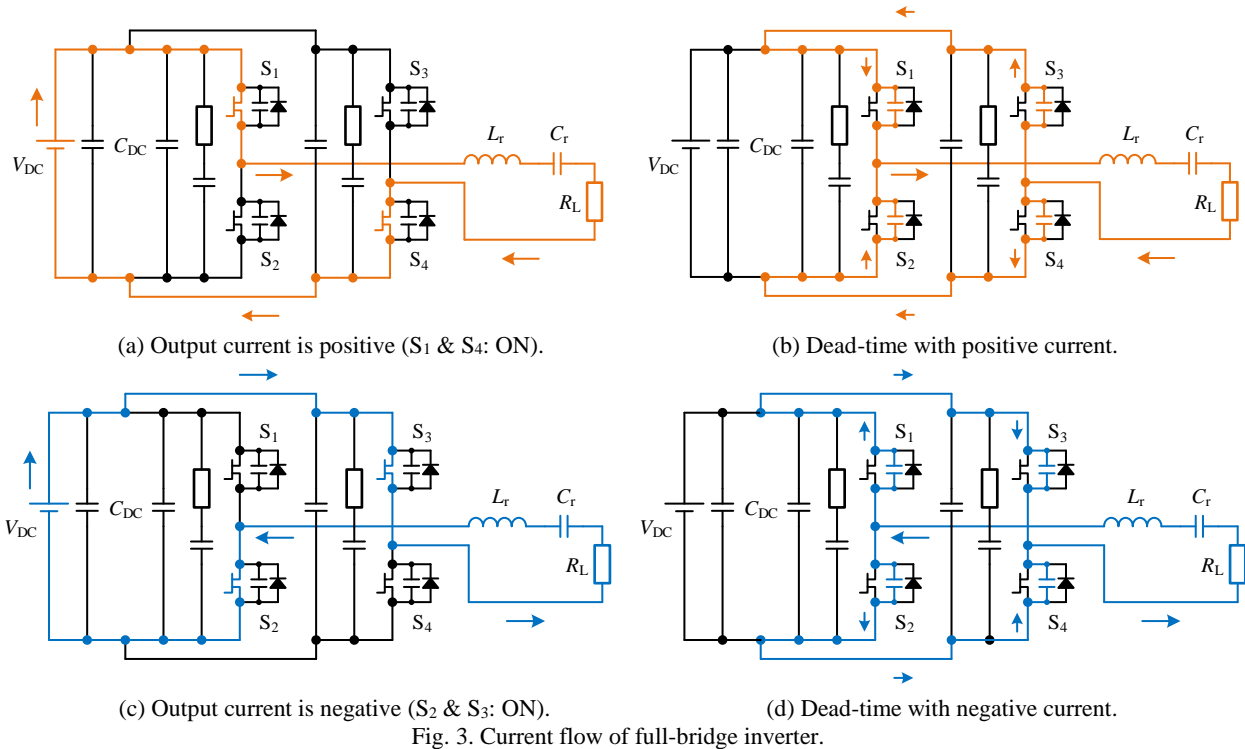


Fig. 3. Current flow of full-bridge inverter.

皮深さ δ を考慮した配線の最小幅 w は, (4)式となる。

$$w = \frac{1}{2\delta} \left(\frac{I_{\text{peak}}}{I_{\text{sq}}/10^{-6}} + 4\delta^2 \right) - t_{\text{Cu}} \dots\dots\dots (4)$$

表皮効果の影響を受ける PCB 銅箔厚の場合, 銅箔厚の増加分に対する電流通断面積の増加は, 影響を受けない場合と比べて限定的である。そのため本稿では, 表皮深さの 2 倍以上で選択可能な箔厚の内, 最も薄い箔厚を選択する。
【設計例】 周波数 f を 6.78 MHz, 銅の抵抗率 ρ を 16 nΩ·m, 銅の透磁率 μ を真空の透磁率と等しい $4\pi \times 10^{-7}$ H/m とする。表皮深さ δ は(3)式より約 24 μm であるため PCB 銅箔厚 t_{Cu} は表皮深さ δ の 2 倍以上で最も薄い 70 μm を選択し, 配線幅の算出には(4)式を適用する。ここで, PCB において電流許容値の目安とされる, 箔厚 35 μm において 1 A あたり配線幅 1 mm を 1 mm² あたりの電流許容値 I_{sq} に換算すると 28 A/mm² となり, 配線の最小幅 w は約 11.2 mm である。

3. デバイス放熱設計

〈3・1〉 所要熱抵抗値 ZVS 動作を達成する場合でもデバイスは導通損失等により発熱するため, デバイスの放熱設計と実装が重要である。放熱設計では, 使用するデバイスのジャンクション温度最大値に基づき放熱経路に求められる熱抵抗の上限値を算出する。特に, 本稿で選定対象である表面実装パッケージのパワー半導体デバイスでは, 放熱のために設けられるサーマルパッドがモジュール品やリードタイプのパッケージに対して小さい。そのため, 所望の熱抵抗値を実現するための適切な実装法を選択する必要がある。

図 4(a)に放熱経路における熱抵抗等価回路を, (b)にデバ

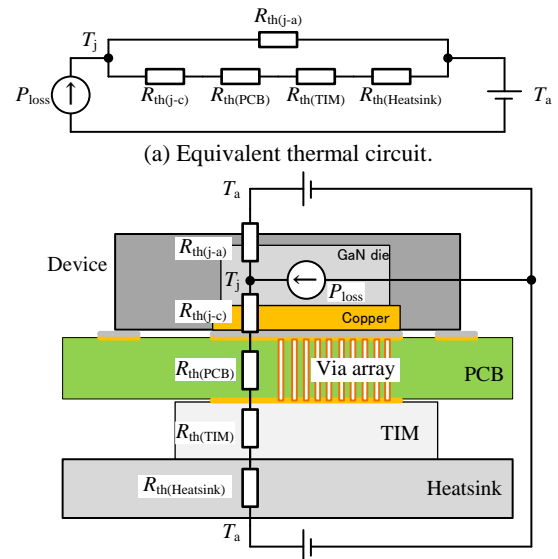


Fig. 4. Thermal design of SMD package.

イス放熱構造の概略と熱等価回路における各熱抵抗との対応を示す。ここで, T_j はデバイスジャンクション温度, T_a は雰囲気温度, $R_{\text{th}(j-c)}$ はデバイスジャンクションからケースまでの熱抵抗, $R_{\text{th}(j-a)}$ はジャンクションから雰囲気までのパッケージを介した熱抵抗である。データシート記載の $R_{\text{th}(j-a)}$ は一定サイズの基板に実装された状態での熱抵抗測定値であるものの, いずれもジャンクションからケースまでの熱抵抗 $R_{\text{th}(j-c)}$ と比較し 10 倍以上である場合が多いため, 影響は無視できる。 $R_{\text{th}(PCB)}$ は PCB 部分における熱抵抗, $R_{\text{th}(TIM)}$ は PCB とヒートシンク間に挿入される絶縁材料を含めたグリス等 TIM(Thermal Interface Material)の熱抵抗, $R_{\text{th}(Heatsink)}$ はヒートシンクの熱抵抗, P_{Loss} はデバイス 1 つあたりで発生

する損失値である。デバイスと PCB はんだ付けで実装し、TIM にはグリスを使用する場合が多い。そのため、本稿では各部材界面での接触熱抵抗は無視して考える。このとき、ジャンクション温度 T_j は(5)式で表される。

$$T_j = P_{Loss} \frac{(R_{th(j-c)} + R_{th(PCB)} + R_{th(TIM)} + R_{th(Heatsink)})R_{th(j-a)}}{(R_{th(j-c)} + R_{th(PCB)} + R_{th(TIM)} + R_{th(Heatsink)}) + R_{th(j-a)}} + T_a \quad (5)$$

(5)式において、 $R_{th(j-a)}$ は $R_{th(j-c)}$ に比べて10倍以上である場合が多いため分母の括弧内は無視できる。そのため、ジャンクション温度は(6)式で求められる。

$$T_j = P_{Loss} \times (R_{th(j-c)} + R_{th(PCB)} + R_{th(TIM)} + R_{th(Heatsink)}) + T_a \quad (6)$$

ここで、(6)式の T_j を、ジャンクション温度の絶対最大定格 T_{jmax} と温度に余裕を持つための安全係数 k_t の積とすると、デバイスのケースから雰囲気までの放熱経路で満たすべき合計の熱抵抗は(7)式となる。

$$(R_{th(PCB)} + R_{th(TIM)} + R_{th(Heatsink)}) = \frac{k_t T_{jmax} - T_a}{P_{Loss}} - R_{th(j-c)} \quad (7)$$

【設計例】 雰囲気温度 T_a を 40°C 、安全係数 k_t を 0.8 、発生する損失 P_{Loss} を 15 W とする。選定したデバイス PGA26E-07BA の T_{jmax} と $R_{th(j-c)}$ を表 2 より用いると、デバイスのケースから雰囲気までの放熱経路で満たすべき合計の熱抵抗は、(7)式より約 4.6 K/W 以下である。

〈3・2〉 サーマルビアによる放熱 デバイスのケースから雰囲気までの放熱経路では PCB 部の熱抵抗 $R_{th(PCB)}$ が全体に占める割合が高いため、低減が重要である。PCB 部の熱抵抗低減には、デバイスのサーマルパッドにあたる箇所にサーマルビアを設けることが簡易な実装手法である。

図 5 に、2.2 章で選択したデバイス PGA26E07BA のパッケージとサーマルビアの概略図を示す。 ϕ はビア直径、 s はビア間距離であり、デバイスのサーマルパッド直下にあたる PCB 部分へのサーマルビア実装を想定する。文献(15)ではサーマルビアの最適設計について検討しており、熱抵抗低減に最適なビア径は(8)式で表される。

$$\phi_{opt} = \frac{2t_{PTH}(s + 2t_{PTH})(k_{Cu} - k_{filler})}{2t_{PTH}(k_{Cu} - k_{filler}) - k_{filler}s} \quad (8) \quad (15)$$

ここで、 t_{PTH} はビア側面の銅箔厚、 k_{Cu} は銅の熱伝導率、 k_{filler} はビア内部に充填される物質の熱伝導率である。サーマルビア 1 つあたりの熱抵抗 $\theta_{via,n}$ は(9)式で表される。

$$\theta_{via,n} = \frac{2\sqrt{3}(s + \phi)^2 k_{FR4}}{4\pi k_{Cu} t_{PTH}(\phi - t_{PTH}) + \pi k_{filler}(\phi - 2t_{PTH})^2} \quad (9) \quad (15)$$

k_{FR4} は基板の絶縁材料である、FR4 材の熱伝導率である。(9)式は熱抵抗評価のため同体積の FR4 材熱抵抗で標準化されており、同体積の FR4 材熱抵抗 θ_{FR4} はビアの個数 N_{via} を用いて(10)式で表される。

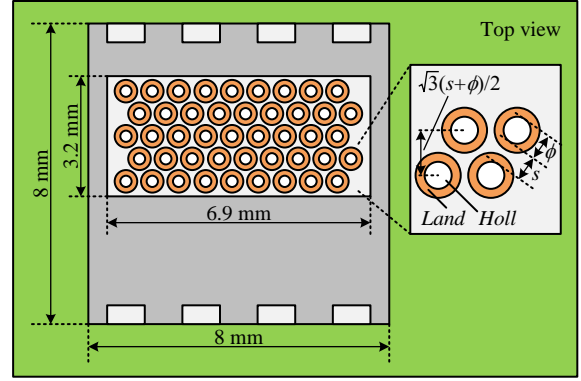


Fig. 5. Structure of thermal via on PCB.

Table 3. Parameters of PCB and thermal via.

| | | |
|--------------------------------|--------------|------------------|
| Thermal conductivity of copper | k_{Cu} | 393 W/(m·K) |
| Thermal conductivity of solder | k_{Solder} | 57.3 W/(m·K) |
| Thermal conductivity of air | k_{Air} | 0.026 W/(m·K) |
| Holl-to-holl spacing | s | 0.3 mm |
| Thickness of the via | t_{PTH} | 15 μm |
| Thickness of the PCB | t_{PCB} | 1.6 mm |

$$\theta_{FR4} = \frac{t_{PCB}}{\frac{\sqrt{3}}{2}(s + \phi)^2 N_{via} k_{FR4}} \quad (10)$$

ビア群全体の熱抵抗は(9)式に(10)式を乗じ、(11)式で表される。

$$\theta_{via} = \frac{4t_{PCB}}{\{4\pi k_{Cu} t_{PTH}(\phi - t_{PTH}) + \pi k_{filler}(\phi - 2t_{PTH})^2\} N_{via}} \quad (11)$$

表 3 に、本稿でのサーマルビア熱抵抗の計算に必要な各定数を示す。文献(15)にてビア間距離 s は短い程熱抵抗低減に寄与することが示されているため、ビア間距離 s 及びビア側面銅箔厚 t_{PTH} は基板製造の制約による最小値⁽¹⁶⁾に基づき決定する。ここでビア内部を空洞とすると、サーマルビア径の最適値 ϕ_{opt} は(8)式より約 0.38 mm 、各ビア中心間の最適距離 $s + \phi_{opt}$ は約 0.68 mm 、各ビア縦方向の最適間隔は約 0.58 mm となる。本稿では、基板製造の制約によりサーマルビア径 0.3 mm 、ビア中心間距離 0.7 mm 、ビア縦方向間隔 0.6 mm を適用する。デバイスサーマルパッドのサイズより縦方向ビア個数は 5 個、横方向ビア個数は 9 個が最大数となるため、ビア合計個数を 45 個とする。サーマルビア群全体の熱抵抗 θ_{via} を(11)式より求めると約 6.7 K/W となる。よって、(7)式より計算した放熱経路で満たすべき熱抵抗 4.6 K/W 以上となり、条件を満足できない。

〈3・3〉 熱抵抗低減に有効な放熱構造 PCB におけるサーマルビア適用以外の熱抵抗低減手法として、(1)基板厚みの低減 (2)高熱伝導材料の埋込 が考えられる。このうち、基板厚みの低減は、基板強度が低下し取り扱い時のハンダクラック等の原因となるため限度がある。そのため、サーマルパッドにあたる箇所に穴を設け、熱伝導率の高い部材を埋め込むことが効果的で実装可能な選択肢となり得る。放熱構造の差異による熱抵抗低減効果比較のため、次

に示す(a)-(c)の3パターンで比較を行う。図6に、各放熱構造の概要を示す。

- (a) サーマルビアのみ: 図6(a)
- (b) ヒートスプレッドを適用しTIM面積拡大: 図6(b)
- (c) 銅ブロックを基板に埋め込み: 図6(c)

ここで、放熱構造の各部の持つそれぞれの熱抵抗は、各部材の熱抵抗と寸法から、次の(12)式より求められる。

$$R_{th} = \frac{d}{k(w \times l)} \dots \dots \dots (12)$$

(12)式において d は部材の厚さ、 w は幅、 l は長さ、 k は体積熱伝導率である。このとき放熱構造(a), (b)のPCB部とTIMにおける合計の熱抵抗は(13)式で、放熱構造(c)における合計の熱抵抗は(14)でそれぞれ表される。

$$R_{th,a(PCB\&TIM)} = \Theta_{via} + \frac{d_{TIM(a,b)}}{k_{TIM}(w_{TIM(a,b)} \times l_{TIM(a,b)})} \dots \dots \dots (13)$$

$$R_{th,c(PCB\&TIM)} = \frac{d_{Cu}}{k_{Cu}(w_{Cu} \times l_{Cu})} + \frac{d_{spreader}}{k_{Cu}(w_{spreader} \times l_{spreader})} + \frac{d_{TIM(c)}}{k_{TIM}(w_{TIM(c)} \times l_{TIM(c)})} \dots \dots \dots (14)$$

〈3・4〉 放熱構造の差異による熱抵抗低減効果

各構造の差異による熱抵抗低減効果を、(13), (14)式による算出及び実機での熱抵抗測定により検証する。表4に、適用する各部材のパラメータを示す。TIMには6500H-10(3M)を使用し、構造(b)と(c)のヒートスプレッドとしては銅板を使用する。

図7(a)に測定に使用した熱抵抗測定用基板を、(b)に熱抵抗測定時の構成を、(c)に測定環境をそれぞれ示す。熱抵抗の測定には、選定したデバイスPGA26E07BA単体を実装可能なフットプリントを設けた測定用基板を使用する。熱抵抗測定時は基板表面に熱源を配置し、基板裏面にTIMを介してヒートシンクを実装する。熱源から既知の熱流を与えた際の熱源とヒートシンクの温度を熱電対で測定し、温度差と熱流から熱抵抗を算出する。熱源には、デバイスと同程度の大きさの表面実装の抵抗を使用する。熱源周囲は断熱材で覆うことで表面から雰囲気への直接の熱流を抑制する。サーマルビアの構造を持つケース(a), (b)では熱抵抗が高いため5W、熱抵抗の低い銅ブロックを用いるケース(c)では20Wを抵抗で発生させ、既知の熱源として測定を行う。測定において、基板をヒートシンクに固定する圧力によりTIMの厚みが設計値から変化することを防ぐため、測定用基板のヒートシンクへの固定にはスペーサーを使用し、TIMとヒートシンク間に0.1-0.2mm間隙を設ける。スペーサーにより生じる間隙にはTIMと同じ体積熱伝導率を持つシリコングリス(G777, 3.5 W/(m·K)、信越シリコン工業)を充填し、グリスの厚み分をTIMの厚みに加算して熱抵抗の理論値を算出する。

図8に、各放熱構造における熱抵抗の設計値と測定結果

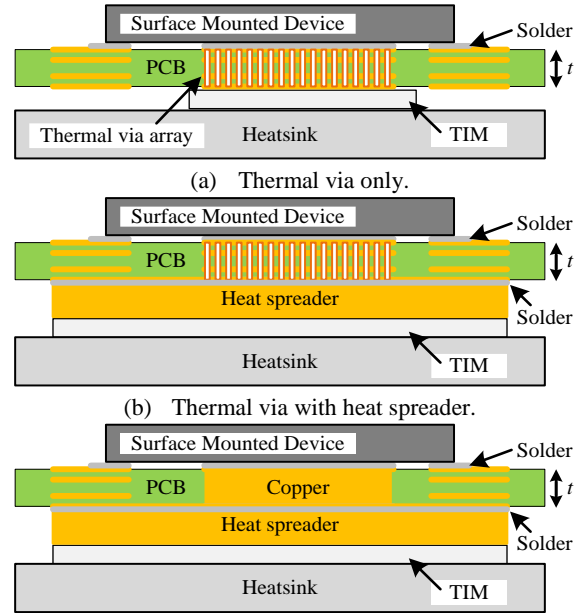


Fig. 6. Thermal structure on PCB.

Table 4. Parameters of thermal components.

| | | |
|-----------------------------|----------------|-------------|
| Thickness of copper block | d_{Cu} | 1.5 mm |
| Width of copper block | w_{Cu} | 3.0 mm |
| Length of copper block | l_{Cu} | 10 mm |
| Thermal conductivity of TIM | k_{TIM} | 3.5 W/(m·K) |
| Thickness of TIM (a) | $d_{TIM(a)}$ | 0.7 mm |
| Thickness of TIM (b & c) | $d_{TIM(b,c)}$ | 0.6 mm |
| Width of TIM (a) | $w_{TIM(a)}$ | 5.0 mm |
| Width of TIM (b & c) | $w_{TIM(b,c)}$ | 25 mm |
| Length of TIM (a) | $l_{TIM(a)}$ | 10 mm |
| Length of TIM (b & c) | $l_{TIM(b,c)}$ | 25 mm |
| Thickness of heat-spreader | $d_{spreader}$ | 2.0 mm |
| Width of heat-spreader | $w_{spreader}$ | 25 mm |
| Length of heat-spreader | $l_{spreader}$ | 25 mm |

とを示す。サーマルビアを適用した(a)と(b)の場合、熱抵抗はビア内部に充填される材質の熱抵抗に大きな影響を受ける。そのため図8では、ビア内部にハンダが浸透していない場合をハンダ充填率0%、ビア内部が全てハンダで満たされた場合を100%とし、設計値にて熱抵抗のとりうる範囲を矢印で示す。

熱抵抗設計値は、ハンダ充填率0%におけるサーマルビアのみのケース(a)に対し、ヒートスプレッドを適用しTIMの面積を拡大したケース(b)で約35%の熱抵抗低減効果が見込まれる。また、ヒートスプレッドと銅ブロックを適用したケース(c)では、ケース(a)と比較して約96%の熱抵抗低減が見込まれ、差分である約61%が銅ブロック埋め込みによる熱抵抗低減効果となる。

熱抵抗測定結果では、ケース(a)と比較してケース(b)では約62%、ケース(c)の適用でさらに約30%の熱抵抗低減効果を確認した。合計で約92%の熱抵抗低減であり、設計値と同等な熱抵抗低減効果を確認した。一方、ケース(a)と(b)、

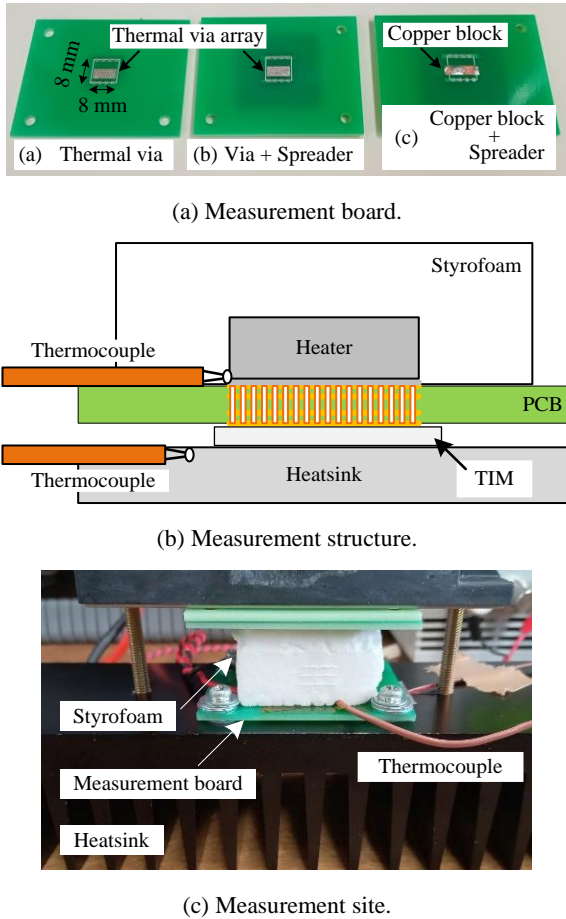


Fig. 7. Thermal resistance measurement.

ケース(b)と(c)を比較した際の熱抵抗低減効果の比率は、設計値と測定値とで乖離が見られる。

低減効果比率の乖離原因は、測定に使用したサーマルビアにおけるハンダ充填率により説明できる。設計においてケース(a)でのハンダ充填率を 0%, ケース(b)でのハンダ充填率を 100%とすると、熱抵抗はそれぞれ約 10.7 K/W, 約 4.4 K/W となる。熱抵抗低減効果は約 59%となり、測定結果と同等の低減効果比率となる。

測定におけるサーマルビアハンダ充填率の差異は、測定用基板実装方法の差異に起因すると考えられる。ヒートスプレッド適用のケース(c)では、ヒートスプレッドの熱容量が大きいため、ハンダ付け時に基板とヒートスプレッドを十分予熱した上で実装した。そのため、ハンダ充填率が予熱無しの場合と比べて大幅に高まり、熱抵抗低減効果比率の差異が生じたものと考えられる。サーマルビア適用時の熱抵抗は実装により大幅に左右されることから、ワーストケースを想定した熱抵抗設計が必要と言える。

〈3・5〉 放熱構造と寄生キャパシタンス ヒートスプレッドの適用により、ヒートシンクとヒートスプレッド間には寄生容量が形成される。図 9 に、形成される寄生容量とその電位差をインバータ出力電圧により場合分けして示す。本稿で選定したデバイスはサーマルパッドがソース端子と接続されているため、各デバイスのソース端子とヒー

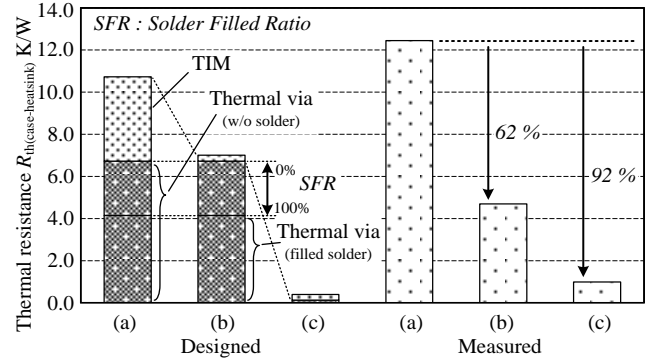


Fig. 8. Measurement result of thermal resistance.

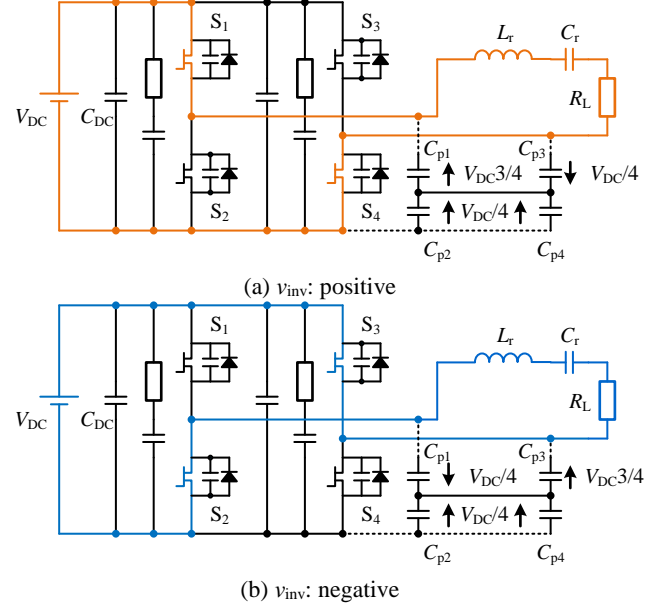


Fig. 9. Parasitic capacitor with heat-spreader and heatsink.

トシンクとの間に寄生容量が形成される。各デバイスは 1つのヒートシンクに実装されるため、各寄生容量はヒートシンクにより接続される。ここで、各寄生容量は同一のキャパシタンスであるとする。C_{p2}, C_{p4}の両端電圧は、インバータの出力電圧の極性が変化した場合でも常に一定となる。そのため、インバータ出力電圧の変化により充放電されるのは C_{p1}, C_{p3}のみとなる。

ここで寄生容量 C_{p1}, C_{p3}は、インバータのデッドタイム期間中に負荷電流の一部が流れることで充放電される。C_{p1}, C_{p3}の充放電がデバイス ZVS 動作に与える影響を考慮する必要があるため、放熱構造別にヒートスプレッドを介した寄生容量の測定を行う。

寄生容量の測定は図 6(a)-(c)と同一構成、表 4 と同じパラメータの部材を適用し、3.4 章で熱抵抗測定に使用した基板により測定する。ネットワークアナライザ E5061B (Keysight)による 1ポート反射法により、基板上面からヒートシンクまでの寄生容量を測定する。

図 10 に、各構成での寄生容量測定結果を示す。ヒートスプレッドと絶縁シートを含めた TIM 部の面積が同一であるケース(b), (c)は、PCB 部分の構造によらず寄生容量がほぼ一致する結果が得られた。一方、ヒートスプレッドの有無が異なるケース(a)では、寄生容量が大幅に小さい。

ここで、 C_{p1} と C_{p3} の合成容量は C_{p1} と C_{p3} が同一容量の場合半分となるため、寄生容量充放電にかかる電荷量は、(15)式で表される。

$$Q_p = \frac{C_p V_{DC}}{2} \dots\dots\dots (15)$$

(c)の構成における寄生容量は6.78 MHzにおいて64.7 pFであり、デッドタイム期間中に寄生容量を充放電する電荷量 Q_p は9.7 nCとなる。デバイス出力容量に蓄えられる電荷量 Q_{oss} に対して無視できない大きさの電荷量であり、ZVS動作に与える影響を考慮する必要がある。

4. デバイス ZVS 動作

インバータ方形波運転時、各スイッチでのZVS動作達成には負荷電流に応じたデッドタイム期間の設定が重要となる。ここで、図1(b)における出力電圧 v_{inv} を、デッドタイム期間を除いた方形波出力として考える。インバータ出力電圧の基本波最大値 V_{inv_max} は、基本波に対するフーリエ級数展開より(16)式で表される。

$$V_{inv_max} = \frac{8}{T} \int_{t_d/2}^{T/4} V_{DC} \sin(\omega t) dt \dots\dots\dots (16)$$

$$= \frac{4V_{DC}}{\pi} \cos(\pi f t_d)$$

また、インバータ出力電流の瞬時値は(17)式で表される。

$$i(t) = I_{peak} \sin(\omega t + \phi) \dots\dots\dots (17)$$

ここで、 ϕ は出力電圧に対する出力電流の位相差であり、出力電圧位相の基準はデッドタイム期間の中心である。出力電流の最大値 I_{peak} は、インバータ出力電圧の基本波最大値 V_{inv_max} と負荷のインピーダンス Z_L を用いて(18)式で表される。

$$I_{peak} = \frac{V_{inv_max}}{Z_L} \dots\dots\dots (18)$$

デッドタイム期間中に各デバイスの出力容量 C_{oss} を充放電する電流は、図3(b)及び(d)より出力電流 $i(t)$ の半分となる。そのため、出力容量 C_{oss} に充放電される電荷量 Q は、出力電流 $i(t)$ の積分値の半分として(19)式で表される。

$$Q = -\frac{1}{2} \int_{-t_d/2}^{t_d/2} i(t) dt \dots\dots\dots (19)$$

$$= -\frac{I_{peak}}{\omega} \sin(\phi) \sin(\pi f t_d)$$

ここで符号を負とするのは、遅れ位相の場合の電荷量を正ととるためである。(16), (18), (19)式より、デッドタイム期間に C_{oss} を充放電する電荷量 Q は(20)式となる。

$$Q = -\frac{V_{DC}}{\pi^2 f Z_L} \sin(\phi) \sin(\omega t_d) \dots\dots\dots (20)$$

ここで、(20)式をデッドタイム t_d について解き、デッドタイム期間中に充放電される電荷量 Q をデバイスの Q_{oss} と設

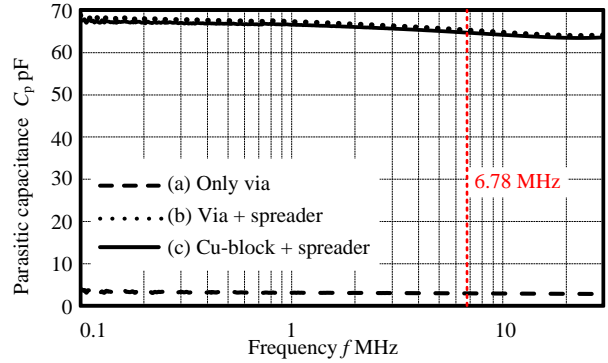


Fig. 10. Measurement result of parasitic capacitance.

Table 5. Simulation parameters.

| Main circuit | | |
|-----------------------------------|-----------|----------|
| DC link voltage | V_{DC} | 300 V |
| Switching frequency | f_s | 6.78 MHz |
| Output charge of GaN-FET | Q_{oss} | 38 nC |
| Drain-source capacitance | C_{ds} | 130 pF |
| Parasitic capacitance at heatsink | C_p | 65 pF |
| Load | | |
| Resonant inductance | L_r | 5.8 μH |
| Resonant capacitance | C_r | 100 pF |

定する。と、デバイスの Q_{oss} の充放電に必要なデッドタイム t_{d_qoss} は(21)式で表される。

$$t_{d_qoss} = \frac{1}{\omega} \sin^{-1} \left(\frac{\pi^2 f Z_L Q_{oss}}{V_{DC} \sin(\phi)} \right) \dots\dots\dots (21)$$

3.5章における、ヒートスプレッドとヒートシンク間に形成される寄生容量を考慮すると、負荷電流により充放電される電荷は Q_{oss} と寄生容量に充放電される Q_p との和となる。そのため、合計した寄生容量の充放電に必要なデッドタイム t_{d_Q} は(22)式となる。

$$t_{d_Q} = \frac{1}{\omega} \sin^{-1} \left(\frac{\pi^2 f Z_L (Q_{oss} + Q_p)}{V_{DC} \sin(\phi)} \right) \dots\dots\dots (22)$$

導出した(22)式について、回路シミュレーションによりその妥当性を確認する。シミュレーションにはPlexim社のPLECSを使用し、回路構成は図9の構成を適用する。FETの理想モデルと並列に出力容量 C_{oss} を模擬したコンデンサを接続し、データシートから読み取った動作電圧での Q_{oss} を直流リンク電圧 V_{DC} で除した値を適用する。表5にシミュレーションにおいて用いた各定数を示す。

図11(a)と(b)に負荷抵抗 R_L が10Ωのシミュレーション結果を、(c)と(d)に、負荷抵抗 R_L が20Ωのシミュレーション結果を示す。それぞれ、(22)式を用いて算出したデッドタイムは、10Ωの際が5.3 ns、20Ωの際が11.9 nsである。図11より、算出したデッドタイム以上の時間をデッドタイムとして設定した場合ZVS動作を達成し、算出値を下回る時間を設定した場合ZVS動作を達成しないことが確認できる。以上より、寄生容量の充放電に必要なデッドタイム t_{d_Q} を表す(22)式の妥当性を確認した。

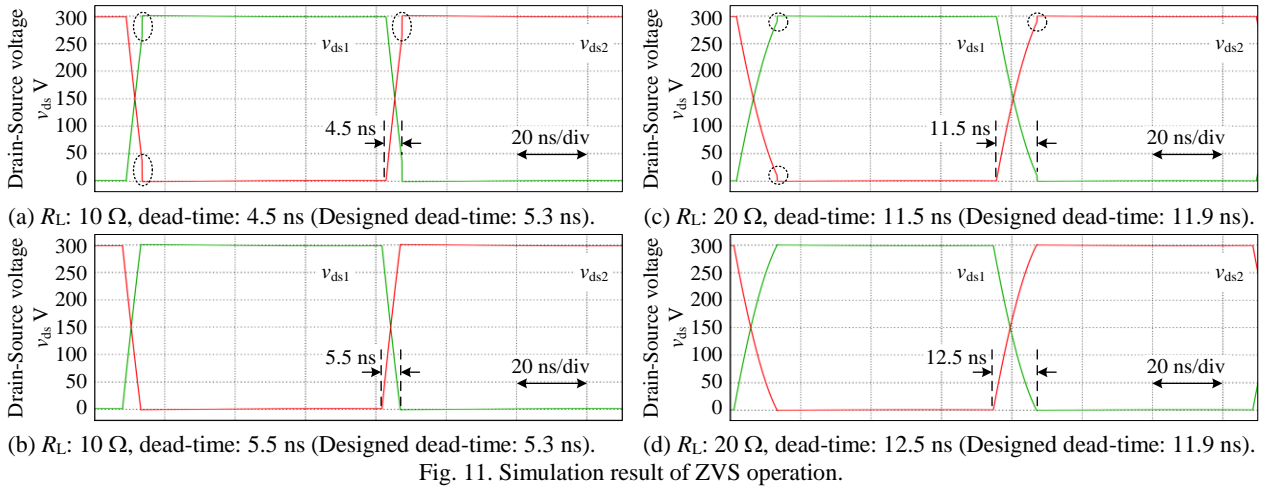


Fig. 11. Simulation result of ZVS operation.

5. 実機検証

図 12 に、本稿で検討したデバイス選定からデッドタイム設定までの実装法に基づき実装した、WPT システム向け高周波インバータ試作器の外観を示す。デバイスの放熱構造は、銅ブロックとヒートスプレッドを用いる図 6(c)の構造を適用し、各パラメータは表 4 と同等に実装した。また、ヒートシンクとヒートスプレッド間の寄生容量 C_p は 3.5 章で測定した値を適用する。

表 6 に、実機検証における実験条件を示す。測定には、縦軸分解能 12 bits、サンプルレート 6.25 GS/s を有するオシロスコープ MSO58(Tektronix)を使用し、電圧測定には 800-MHz 帯域の光絶縁プローブ TIVH08(Tektronix)、電流測定には 120 MHz 帯域の TCP0030A(Tektronix)を用いる。本稿で採用したデバイス PGA26E07BA のターンオフ時間は表 2 より 2.4 ns である。周波数に換算し約 417 MHz とすると、差動プローブの帯域は約 2 倍確保されており適切な電圧測定が可能と言える。また、本稿での負荷は共振負荷であり、電流の測定対象周波数は 6.78 MHz である。電流プローブの帯域は 17 倍以上であり適切と言える。

図 13 に、6.78 MHz でのインバータ動作波形を示す。 v_{gs1} は図 1 に示す S_1 のゲート-ソース間電圧、 v_{ds1} は S_1 のドレイン-ソース間電圧、 v_{out} はインバータ出力電圧、 i_{out} はインバータ出力電流である。インバータ出力電圧 v_{out} は、出力端子直近に設けた測定用端子にプロービングし観測した。

出力電圧に対する出力電流の位相は、表 6 に示す負荷のパラメータより時間換算で遅れ約 15 ns であり、観測した出力電圧と出力電流のゼロクロス点の時間差約 15 ns と一致する。また、実機で ZVS 動作達成に要したデッドタイム 21 ns を適用すると、(16)、(18)式より電流最大値 I_{peak} は約 16.7 A となる。観測波形の電流振幅最大値は 16.3 A であり、出力電流の位相、振幅とも理論通りの結果が得られた。

ここで、インバータ出力電圧と出力電流との積の 1 周期平均より算出した出力電力は 2.7 kW、直流側の入力電力は 2.8 kW である。観測波形からの換算値のため参考値であるものの、変換器効率は約 96.4% である。

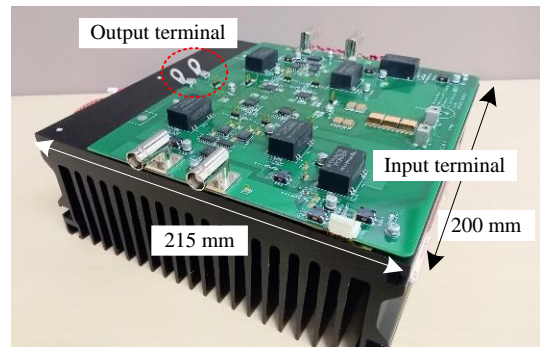


Fig. 12. Prototype circuit.

Table 6. Experimental condition.

| Main circuit | | |
|----------------------|----------|---------------|
| DC link voltage | V_{DC} | 300 V |
| Switching frequency | f_s | 6.78 MHz |
| Deadtime | t_d | 21 ns |
| Load | | |
| Resonant inductance | L_r | 5.8 μ H |
| Resonant capacitance | C_r | 100 pF |
| Load resistance | R_L | 16.7 Ω |

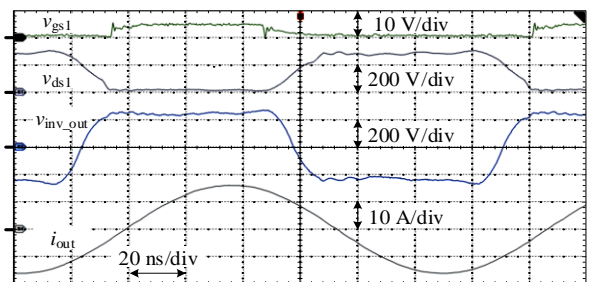


Fig. 13. Experimental waveform.

一方、寄生容量の充放電に必要なデッドタイムの理論値 $t_{d,Q}$ は(22)式と表 6 の定数より 8.9 ns であるが、実機では ZVS 動作達成に約 21 ns を要した。この原因としてはデバイスターンオフ時間 t_f とターンオフ遅延 $t_{d(on)}$ が挙げられる。算出したデッドタイム $t_{d,Q}$ にターンオフ時間 t_f と遅延時間 $t_{d(on)}$ を加算すると 16.8 ns となる。実機での所要デッド

タイムとの差は約 4.2 ns と概ね一致し、実機での所要デッドタイムを真値とした誤差率は約 20%である。

図 14 に、試作インバータを 2.7 kW 出力で連続運転した際のデバイス表面温度を示す。温度測定はパッケージ表面に熱電対を接触させ、パッケージサイズ大に切り出した自己粘着性放熱材(6500H-103M: 3M)を上から密着させる形で実装した。温度は、運転開始のおよそ 20 分後より約 87 °C で飽和し、雰囲気温度に対する温度上昇 ΔT は 60 K である。実際のジャンクション温度はパッケージ温度より高くなるものの、パッケージ温度が表 2 におけるジャンクション温度の許容値に対して十分低いため、安全な連続運転動作を実現していると言える。

以上より、MHz 帯で考慮すべき要素に着目した回路設計と実装法を適用した試作器により、MHz 帯 kW 級出力を有するインバータの連続運転を実現した。

6. まとめ

本論文では、MHz 帯で運転する WPT システム向け kW 級電力変換回路の設計指針と適用可能な実装法を、特に放熱とソフトスイッチング動作に着目した設計と実機検証より明確にした。大容量化において重要となる放熱設計では、ヒートスプレッドと PCB 部への銅ブロック適用により熱抵抗を 90%以上低減可能であることを、設計と測定の両面より確認した。また、放熱構造により生じる寄生容量が ZVS 動作に与える影響を実測を元に評価し、デバイスの出力容量と合わせた合計の寄生容量充放電にかかるデッドタイムを明らかにした。設計例を適用したインバータ試作器での実機試験より 6.78 MHz における 2.7 kW 出力での連続運転を確認し、放熱とソフトスイッチング動作に着目した設計と実装法が MHz 帯 kW 級インバータの主回路設計指針なることを示した。

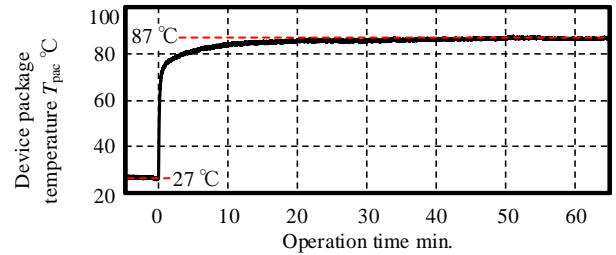


Fig. 14. Temperature of device package.

- “A 22kW Three-phase Wireless Power Transfer System in Compliance with CISPR 11 and ICNIRP 2010”, IEEJ Journal of Industry Applications, Vol.11, No.4, pp.594-602(2022)
- (8) 笹原衣純・赤津観:「13.56MHz を用いたワイヤレス電力伝送用大容量カプラの設計」, 電気学会論文誌 D (産業応用部門誌), Vol.143, No.7, pp.547-552(2023)
- (9) J. Choi, D. Tsukiyama, Y. Tsuruda, and J. M. R. Davila: “High-Frequency, High-Power Resonant Inverter With eGaN FET for Wireless Power Transfer”, IEEE Transactions on Power Electronics, Vol.33, No.3, pp.1890-1896(2018)
- (10) N. K. Trung, T. Ogata, S. Tanaka, and K. Akatsu: “Attenuate Influence of Parasitic Elements in 13.56-MHz Inverter for Wireless Power Transfer Systems”, IEEE Transactions on Power Electronics, Vol.33, No.4, pp.3218-3231(2018)
- (11) A. Oyane, T. Senanayake, M. Masuda, J. Imaoka, M. Yamamoto: “13.56MHz Half-Bridge GaN-HEMT Resonant Inverter Achieving High Power, Low Distortion, and High Efficiency by ‘L-S Network’”, IEICE Transactions on Electronics, Vol.E105.C, No.9, pp.407-418(2022)
- (12) A. Konishi, K. Umetani, M. Ishihara, and E. Hiraki, “Autonomous Resonant Frequency Tuner for a 6.78MHz Inductive Coupling Wireless Power Transfer System to Stably Maximize Repeater Current”, IEEJ Journal of Industry Applications, Vol.12, No.2, pp.215-227(2023)
- (13) Panasonic Semiconductor Solutions Co., Ltd.: “GaN-Tr Application Note(PGA26E19BA)”, pp.1-46(2016)
- (14) 野村優貴・舟木剛:「VNA のポート延長機能を用いたパワーループ寄生成分の抽出方法」, 電気学会論文誌 D (産業応用部門誌), Vol.142, No.6, pp.488-489(2022)
- (15) Y. Shen, H. Wang, F. Blaabjerg, H. Zhao, and T. Long: “Thermal Modeling and Design Optimization of PCB Vias and Pads”, IEEE Transactions on Power Electronics, Vol.35, No.1, pp.882-900(2020)
- (16) 株式会社ビーバンドットコム:「リジッド基板製造基準書」, (2022)

文 献

- (1) 吉田誠:「急速充電規格の紹介」, 電気設備学会誌, Vol.41, No.5, pp.281-284(2021)
- (2) K. Kusaka and J. Itoh: “Development Trends of Inductive Power Transfer Systems Utilizing Electromagnetic Induction with Focus on Transmission Frequency and Transmission Power”, IEEJ Journal of I. A., Vol.137, No.5, pp.328-339(2017)
- (3) D. Patil, M. K. McDonough, J. M. Miller, B. Fahimi and P. T. Balsara: “Wireless Power Transfer for Vehicular Applications: Overview and Challenges”, IEEE Transactions on Transportation Electrification, Vol.4, No.1, pp.3-37(2018)
- (4) 総務省:「電波法施行規則の一部を改正する省令」, 平成 28 年総務省令, 第 15 号(2016)
- (5) 大澤順・磯部高範・只野博:「直列補償回路を用いた非接触給電用高周波インバータの高効率化の提案と実機検証」, 電気学会論文誌 D (産業応用部門誌), Vol.138, No.10, pp.800-809(2018)
- (6) R. Okada, R. Ota, and N. Hoshi, “Novel Soft-Switching Active-Bridge Converter for Bi-directional Inductive Power Transfer System”, IEEJ Journal of Industry Applications, Vol.11, No.1, pp.97-107(2022)
- (7) K. Kusaka, R. Kusui, J. Itoh, D. Sato, T. Shijo, S. Obayashi, and M. Ishida:

山口正通 (学生員) 1997 年 1 月 18 日生。2019 年 3 月、東京都立産業技術高等専門学校創造工学専攻電気電子工学コース卒業。同年 4 月、長岡技術科学大学大学院工学研究科 5 年一貫制博士課程技術科学イノベーション専攻入学。現在に至る。主に、非接触給電システム向け高周波電力変換回路の研究に従事。



渡辺大貴 (正員) 1989 年 11 月 23 日生。2013 年 3 月長岡技術科学大学電気電子情報工学課程卒業。同年 4 月同大学大学院工学研究科修士課程電気電子情報工学専攻に進学。2017 年 9 月から 2018 年 2 月まで Swiss Federal Institute of Technology in Lausanne (EPFL) に Trainee として所属。2018 年 3 月、長岡技術科学大学大学院博士後期課程修了。博士 (工学)。同年 4 月より長岡技術科学大学産学官連携研究員。2022 年 4 月より助教。現在に至る。主に電力変換回路の研究に従事。



日 下 佳 祐 (正員) 1989 年 2 月 3 日生。2013 年 3



月, 長岡技術科学大学大学院工学研究科修士課程修了。同年 4 月, 同大学大学院博士後期課程エネルギー・環境工学専攻入学。2015 年 12 月から 2016 年 6 月まで Swiss Federal Institute of Technology in Lausanne (EPFL) に Trainee として所属。同年 3 月, 長岡技術科学大学大学院博士後期課程修了。博士 (工学)。2016 年 4 月より、長岡技術科学大学産学官連携研究員、2018 年 4 月より助教、2021 年 11 月より特任講師。現在に至る。主に非接触給電システム, 太陽光発電向け電力変換回路の研究に従事。IEEE member, 自動車技術会会員。

伊 東 淳 一 (上級会員) 1972 年 1 月 6 日生。1996 年



3 月, 長岡技術科学大学大学院工学研究科修士課程修了。同年 4 月, 富士電機 (株) 入社。2004 年 4 月, 長岡技術科学大学電気系准教授。2017 年 4 月, 同大学電気系教授。現在に至る。主に電力変換回路, 電動機制御の研究に従事。博士 (工学) (長岡技術科学大学)。2007 年第 63 回

電気学術振興賞進歩賞受賞。2010 年 Takahashi Isao Award (IPEC Sapporo), 第 58 回電気科学技術奨励賞, 2012 年インターネットコズモス奨励賞, 2014 年, 2016 年電気学会産業応用部門論文賞, 2017 年文部科学大臣表彰・科学技術賞 (開発部門), 2018 年第 4 回永守賞, 受賞。IEEE Senior member, 自動車技術会会員。